

#2

Docket No. 1466.1025/HJS

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of:

Hitoshi HIRAKAWA et al.

Group Art Unit:

Serial No.:

Examiner:

Filed: January 30, 2001

For: METHOD FOR DRIVING PDP AND DRIVING APPARATUS



**SUBMISSION OF CERTIFIED COPY OF PRIOR  
FOREIGN APPLICATION IN ACCORDANCE WITH  
THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)  
herewith a certified copy of the following foreign application(s):

Japanese Patent Application No. 2000-304404  
Filed: October 4, 2000

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing  
date, as evidenced by the certified papers attached hereto, in accordance with the requirements  
of 35 U.S.C. § 119.

Respectfully submitted,  
STAAS & HALSEY LLP

Date: January 30, 2001

By: \_\_\_\_\_

  
H. J. Staag  
Registration No. 22,010

700 Eleventh Street, N.W.  
Suite 500  
Washington, D.C. 20001  
Telephone: (202) 434-1500  
Facsimile: (202) 434-1501

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年10月 4日

出 願 番 号  
Application Number:

特願2000-304404

出 願 人  
Applicant(s):

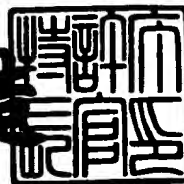
富士通日立プラズマディスプレイ株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年12月 1日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 0090113

【提出日】 平成12年10月 4日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/28

【発明の名称】 P D P の駆動方法および表示装置

【請求項の数】 11

【発明者】

    【住所又は居所】 神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号 富士通日立  
                                プラズマディスプレイ株式会社内

    【氏名】 平川 仁

【発明者】

    【住所又は居所】 神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号 富士通日立  
                                プラズマディスプレイ株式会社内

    【氏名】 椎崎 貴史

【発明者】

    【住所又は居所】 神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号 富士通日立  
                                プラズマディスプレイ株式会社内

    【氏名】 川崎 龍彦

【発明者】

    【住所又は居所】 神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号 富士通日立  
                                プラズマディスプレイ株式会社内

    【氏名】 西村 悟

【特許出願人】

    【識別番号】 599132708

    【氏名又は名称】 富士通日立プラズマディスプレイ株式会社

【代理人】

    【識別番号】 100086933

    【弁理士】

【氏名又は名称】 久保 幸雄

【電話番号】 06-6304-1590

【手数料の表示】

【予納台帳番号】 010995

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9912413

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 P D P の駆動方法および表示装置

【特許請求の範囲】

【請求項 1】

複数の表示電極が行毎に面放電のための電極対を構成しかつ隣り合う 2 行の表示に 1 つの電極を共用するように配列され、各列で前記電極対と交差するように複数のアドレス電極が配列された P D P の駆動方法であって、

選択行に対応した電極対の一方の表示電極を一時的に選択電位にバイアスする行選択と並行して、アドレス電極の電位を表示データに応じて制御するアドレッシングを行い、その際に当該表示電極とアドレス電極との電極間 A Y に印加するセル選択電圧を当該電極間 A Y の放電開始電圧よりも低くし、選択行に対応した電極対の表示電極どうしの電極間 X Y に当該電極間 X Y の放電開始電圧よりも低い行選択電圧を印加することによってアドレス放電を生じさせる

ことを特徴とする P D P の駆動方法。

【請求項 2】

各電極対の一方の表示電極を 2 行分の行選択時間にわたって前記選択電位にバイアスし、他方の表示電極を 2 行分の行選択時間にわたって前記行選択電圧を印加するための電位にバイアスし、一方の表示電極のバイアス期間と他方の表示電極のバイアス期間とを 1 行分の行選択時間のみ重複させる

請求項 1 記載の P D P の駆動方法。

【請求項 3】

行選択に際して前記選択電位にバイアスする表示電極を、非選択期間において前記電極間 X Y の電圧を低くするようにバイアスする

請求項 1 記載の P D P の駆動方法。

【請求項 4】

前記複数の表示電極をそれらの配列順位が奇数であるか偶数であるかによって 2 組に分類し、一方の組に属する表示電極を個別の制御が可能なスキャン電極とし、他方の組に属する表示電極を個別の制御が不要の共通電極とし、さらに当該共通電極をそれらのみに注目して数えた配列順位が奇数であるか偶数であるかに

よって第 1 組と第 2 組とに分類し、

前記アドレッシングを行うアドレス期間を前半部と後半部とに分割し、

前記前半部においては、第 1 組の共通電極を一括にバイアスした状態で、全てのスキャン電極を 1 本ずつ順にバイアスする行選択を行い、

前記後半部においては、第 2 組の共通電極を一括にバイアスした状態で、全てのスキャン電極を 1 本ずつ順にバイアスする行選択を行う

請求項 1 記載の PDP の駆動方法。

【請求項 5】

前記電極間 A Y に印加するセル選択電圧および前記電極間 X Y に印加する行選択電圧の少なくとも一方について、前記前半部と後半部とで異なる値を設定する

請求項 4 記載の PDP の駆動方法。

【請求項 6】

複数の表示電極が行毎に面放電のための電極対を構成しかつ隣り合う 2 行の表示に 1 つの電極を共用するように配列され、各列で前記電極対と交差するように複数のアドレス電極が配列された PDP と、

前記 PDP を請求項 1 記載の駆動方法によって駆動する電気回路とを備えたことを特徴とする表示装置。

【請求項 7】

前記 PDP は、放電空間をセル毎に区画する平面視格子状の隔壁を有する  
請求項 6 記載の表示装置。

【請求項 8】

複数の表示電極が行毎に面放電のための電極対を構成しかつ隣り合う 2 行の表示に 1 つの電極を共用するように配列され、各列で前記電極対と交差するように複数のアドレス電極が配列され、放電空間をセル毎に区画する平面視格子状の隔壁を有した PDP の駆動方法であって、

前記複数の表示電極をそれらの配列順位が奇数であるか偶数であるかによって 2 組に分類し、一方の組に属する表示電極を個別の制御が可能なスキャン電極とし、他方の組に属する表示電極をそれらのみに注目して数えた配列順位が奇数であるか偶数であるかによって第 1 組と第 2 組とに分類し、

選択行に対応した電極対の一方の表示電極を一時的に選択電位にバイアスする行選択と並行して、アドレス電極の電位を表示データに応じて制御するアドレッシングを行うアドレス期間を、前半部と後半部とに分割し、

前記前半部の直前および前記後半部の直前に、電荷を均一化する準備期間を設ける

ことを特徴とする P D P の駆動方法。

【請求項 9】

前記前半部においては、前記第 1 組の表示電極を一括にバイアスした状態で、全てのスキャン電極を 1 本ずつ順にバイアスする行選択を行い、

前記後半部においては、前記第 2 組の表示電極を一括にバイアスした状態で、全てのスキャン電極を 1 本ずつ順にバイアスする行選択を行うとともに、

前記アドレッシングに際して、表示電極とアドレス電極との電極間 A Y に印加するセル選択電圧を当該電極間 A Y の放電開始電圧よりも低くし、選択行に対応した電極対の表示電極どうしの電極間 X Y に当該電極間 X Y の放電開始電圧よりも低い行選択電圧を印加することによってアドレス放電を生じさせる

請求項 8 記載の P D P の駆動方法。

【請求項 1 0】

複数の第 1 表示電極と複数の第 2 表示電極とが各行で個別に面放電のための電極対を構成するように配列され、各列で前記電極対と交差するように複数のアドレス電極が配列された P D P の駆動方法であって、

前記複数の第 1 表示電極を、それらのみに注目して数えた配列順位が奇数であるか偶数であるかによって第 1 組と第 2 組とに分類し、

前記複数の第 2 表示電極を 2 行分ずつ組分けして組毎に電氣的に共通化し、

選択行に対応した電極対の第 2 表示電極を一時的に選択電位にバイアスする行選択と並行して、アドレス電極の電位を表示データに応じて制御するアドレッシングを行うにあたって、アドレス期間を前半部と後半部とに分割し、

前記前半部においては、第 1 組の第 1 表示電極を一括にバイアスした状態で、全てのスキャン電極を 1 本ずつ順にバイアスする行選択を行い、前記後半部においては、第 2 組の共通電極を一括にバイアスした状態で、全てのスキャン電極を

1 本ずつ順にバイアスする行選択を行い、

これら行選択に際して第 2 表示電極とアドレス電極との電極間 A Y に印加するセル選択電圧を当該電極間 A Y の放電開始電圧よりも低くし、選択行に対応した電極対の表示電極どうしの電極間 X Y に当該電極間 X Y の放電開始電圧よりも低い行選択電圧を印加することによってアドレス放電を生じさせる

ことを特徴とする P D P の駆動方法

【請求項 1 1】

複数の表示電極が行毎に面放電のための電極対を構成しかつ隣り合う 2 行の表示に 1 つの電極を共用するように配列され、各列で前記電極対と交差するように複数のアドレス電極が配列され、放電空間をセル毎に区画する平面視格子状の隔壁を有した P D P に適用され、全てのセルに壁電荷を形成する処理の後に、表示において非点灯とすべきセルの壁電荷を減少させる消去形式のアドレッシングを行う P D P の駆動方法であって、

前記複数の表示電極をそれらの配列順位が奇数であるか偶数であるかによって 2 組に分類し、一方の組に属する表示電極を個別の制御が可能なスキャン電極とし、他方の組に属する表示電極を個別の制御が不要の共通電極とし、さらに当該共通電極をそれらのみに注目して数えた配列順位が奇数であるか偶数であるかによって第 1 組と第 2 組とに分類し、

前記アドレッシングを行うアドレス期間を前半部と後半部とに分割し、

前記前半部においては、前記後半部に選択する行の壁電荷の極性を反転させた後に、第 1 組の共通電極を一括にバイアスした状態で、全てのスキャン電極を 1 本ずつ順にバイアスする行選択を行い、

前記後半部においては、前記前半部に選択した行の壁電荷の極性を反転させた後に、第 2 組の共通電極を一括にバイアスした状態で、全てのスキャン電極を 1 本ずつ順にバイアスする行選択を行う

ことを特徴とする P D P の駆動方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】



本発明は、面放電形式の P D P (Plasma Display Panel) の駆動方法および表示装置に関する。

#### 【 0 0 0 2 】

P D P は壁掛けテレビジョンやコンピュータのモニターとして商品化されており、その画面サイズは 6 0 インチに達している。また、P D P は、2 値発光セルからなるデジタル表示デバイスであってデジタルデータの表示に好適であることから、マルチメディアモニターとしても期待されている。市場の要求に応じて大型化と高精細化とを進めるには、パネル構造と合わせて駆動方法を開発する必要がある。

#### 【 0 0 0 3 】

##### 【従来の技術】

カラー表示用の A C 型 P D P において面放電形式が採用されている。ここでいう面放電形式は、輝度を確保する表示放電において陽極および陰極となる表示電極を、前面側または背面側の基板の上に平行に配列し、表示電極対と交差するようにアドレス電極を配列する形式である。面放電形式の P D P では、表示電極の長さ方向（これを行方向とする）に沿ってマトリクス表示の列毎に放電空間を区画する隔壁が必要である。最も簡素で生産性に優れる隔壁パターンとして、平面視において真っ直ぐな帯状の隔壁を列どうしの境界毎に配置する、いわゆるストライプパターンが知られている。

#### 【 0 0 0 4 】

面放電形式における表示電極の配列には 2 つの形態がある。1 つは、行毎に一対ずつ表示電極を配列するものである。表示電極の総数は行数  $n$  の 2 倍となる。この形態では、各行が制御の上で独立しているので、駆動シーケンスを単純化することができる。ただし、ストライプパターンの場合には、行どうしの放電の干渉を防止するために、各行における配列間隔（面放電ギャップ長）に比べて、隣り合う行どうしの電極間隔（逆スリットと呼称される）を十分に大きい値（数倍程度）とする必要がある。他の 1 つは、行数  $n$  に 1 を加えた本数の表示電極を実質的に等間隔に配列する形態である。この形態では、隣り合う表示電極どうしが面放電のための電極対を構成し、配列の両端を除く表示電極が奇数行と偶数行の

表示に係わる。高精細化（行ピッチの縮小）および表示面の有効利用の観点において、この等間隔に配列する形態が有利である。

#### 【0005】

表示においては、表示電極の配列形態に係わらず、各行に対応づけられた表示電極対の片方とアドレス電極との間でアドレス放電を起こし、それをトリガーとして表示電極間でも放電を起こすことによって、表示内容に応じて誘電体の帯電量（壁電荷量）を制御するアドレッシングが行われる。アドレッシングの後、表示電極対に交番極性の維持電圧  $V_s$  を印加する。維持電圧  $V_s$  は（1）式を満たす。

#### 【0006】

$$V_{f_{XY}} - V_{w_{XY}} < V_s < V_{f_{XY}} \quad \cdots (1)$$

$V_{f_{XY}}$ ：表示電極間の放電開始電圧

$V_{w_{XY}}$ ：表示電極間の壁電圧

維持電圧  $V_s$  の印加により、所定量の壁電荷の存在するセルのみでセル電圧（電極に印加する駆動電圧と壁電圧との和）が放電開始電圧  $V_{f_{XY}}$  を越えて基板面に沿った面放電が生じる。印加周期を短くすると、視覚的に発光が連続する。

#### 【0007】

図20は従来の駆動方法におけるアドレス期間のセル電圧の変化を示す波形図である。アドレス期間  $T_A$  において、 $n$  行  $m$  列の画面における行選択のためのスキャン電極として表示電極対の片方（これを表示電極  $Y$  とする）を用いる。スキャン電極以外の表示電極を表示電極  $X$  とする。アドレス期間  $T_A$  の開始時点で全ての表示電極  $Y$  を非選択電位  $V_{ya'}$  にバイアスし、全ての表示電極  $X$  を誤放電防止のために所定の電位  $V_{xa'}$  にバイアスする。その後、選択行  $j$  ( $1 \leq j \leq n$ ) に対応した表示電極  $Y_j$  を一時的に選択電位  $V_{y'}$  にバイアスする（スキャンパルスの印加）。行選択に同期させて、選択行のうちのアドレス放電を生じさせる選択セルが属する列のアドレス電極  $A$  を選択電位  $V_{a'}$  にバイアスする（アドレスパルスの印加）。図では列  $k$  が代表として示され、そのアドレス電極  $A_k$  は、 $(j-1)$ 、 $j$ 、 $(j+1)$  の各行の選択期間において選択電位  $V_{a'}$  にバイアスされている。表示電極  $X_j$  のバイアス電位  $V_{xa'}$  は、表示電極  $Y_j$  にス

キャンパルス印加したときの電極間 $XY$ のセル電圧が放電開始電圧 $V_{f_{XY}}$ より若干低くなるように設定される。これにより、アドレス電極 $A_k$ と表示電極 $Y_j$ との電極間 $AY$ でアドレス放電が生じたときに、それをトリガーとして電極間 $XY$ でも放電（以下、便宜上アドレス放電と記す）が生じる。トリガーが無い非選択セルの電極間 $XY$ ではアドレス放電は生じない。典型的な電圧設定は、次のとおりである。

【0008】

表示電極 $X$ のバイアス電位 $V_{xa'}$ ：80～90ボルト

選択電位 $V_{y'}$ （スキャンパルスの振幅）：-170ボルト

選択電位 $V_{a'}$ （アドレスパルスの振幅）：60～70ボルト

従来の駆動方法においては、スキャンパルスおよびアドレスパルスの双方によって電極間 $AY$ に印加するセル選択電圧 $V_{ay'}$ が、表示電極 $X$ の電位に係わらず電極間 $AY$ のアドレス放電が生じるように、電極間 $AY$ の放電開始電圧 $V_{f_{AY}}$ より高い値（230～240ボルト）に設定されていた。つまり、3種の電極のうちの2種（表示電極 $Y$ およびアドレス電極 $A$ ）に対する電位制御でセルを選択するアドレッシングが行われていた。

【0009】

【発明が解決しようとする課題】

上述のように表示電極を等間隔に配列した構造のPDPでは、奇数行の表示と偶数行の表示とで1本の表示電極が共通であるので、表示形式がインタレース形式に限られていた。インタレース形式の場合には、奇数フィールドでは偶数行を発光させないというように、奇数および偶数の各フィールドにおいて画面全体の半数の行を表示に用いないので、プログレッシブ形式と比べて輝度が低くなる。特に、隔壁パターンとして放電の干渉を確実に防止することができる格子パターンを採用すると、各セルの発光領域がストライプパターンの場合よりも狭くなり、画面における非発光面積が増える。輝度を高めるために各フィールドにおいて1行の表示データを2行に適用する2行1組の表示を行うと、列方向の解像度が半減する。また、インタレース形式では、静止画表示においてフリッカが生じるので、DVDやフルスペックHDTVなどの高画質機器で要求される表示品位を

満たすのは難しい。

【0010】

本発明は、隣り合う2行が表示電極を共用する電極構成においてプログレッシブ表示を実現することを目的としている。

【0011】

【課題を解決するための手段】

本発明においては、第1の解決手段として、個々のセルに関係する3つの電極、すなわち行の表示に係る一对の表示電極および列の選択に係るアドレス電極を、これら相互の計3つの電極間に所定電圧が加わったときのみにアドレス放電が起こるように制御する。アドレッシングにおいて、3つの電極間のいずれについても印加電圧が放電開始電圧を越えないようにし、3つの電極間について個別に電圧の印加期間を設定する。3つの電極間のうちの2つで印加期間が重なってもアドレス放電は起こらず、3つの電極間の全ての印加時期が重なったときのみアドレス放電が起こるように各電極の電位を制御する。例えば、表示電極対の一方とアドレス電極との電極間AYに、放電開始電圧より若干低い電圧を印加し、選択セルを放電寸前の状態にする。この状態で、表示電極どうしの電極間XYにも放電開始電圧より低い適度の電圧を印加する。電極間AYの電界に電極間XYの電界が重畳することによって、電極間XYおよび電極間AYでほぼ同時に放電が起こる。このような制御により、隣り合う2行が表示電極を共用する電極構成においても、各行を個別に選択することができ、プログレッシブ表示が可能となる。

【0012】

本発明の電位制御に際して、全ての表示電極の個別制御が可能な駆動回路を用いてもよいし、表示電極対の一方のみの個別制御が可能な駆動回路を用いてもよい。後者の場合には、アドレス期間を前半と後半とに区分するとともに、表示電極対の他方（非個別制御電極）を2組に分け、前半では一方の組の表示電極をアクティブとし、後半では他方の組の表示電極をアクティブとする。

【0013】

隣り合う2行が表示電極を共用する電極構成には、表示電極を等間隔に配列す

るものと、行毎に 1 対ずつ表示電極を設け且つ隣り合う行において片方の表示電極どうしを結線するものとがある。隣り合わない行どうしを多層配線により結線する構成においても、本発明に則した制御によってプログレッシブ表示を行うことが可能である。

#### 【0014】

本発明においては、第 2 の解決手段として、アドレス期間を前半部と後半部とに分割して消去形式のアドレッシングを行う。その際に前半部では後半部に選択する行の壁電荷の極性を反転させ、後半部では前半部に選択した行の壁電荷の極性を反転させることによって、表示電極を共用する 2 行に対する独立の行選択を実現する。

#### 【0015】

##### 【発明の実施の形態】

図 1 は本発明に係る表示装置の構成図である。表示装置 100 は、 $m \times n$  個のセルからなる表示面を有した面放電型の PDP 1 と、縦横に並ぶセルを選択的に発光させるためのドライブユニット 70 とから構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。

#### 【0016】

PDP 1 では、表示放電を生じさせるための電極対を構成する表示電極が平行配置され、これら表示電極と交差するようにアドレス電極が配列されている。表示電極は画面の行方向（水平方向）に延び、アドレス電極は列方向（垂直方向）に延びている。

#### 【0017】

ドライブユニット 70 は、コントローラ 71、電源回路 73、データ変換回路 79、スキヤンドライバ 85、アドレスドライバ 87、およびサステインドライバ 89 を有している。ドライブユニット 70 には TV チューナ、コンピュータなどの外部装置から R、G、B の 3 色の輝度レベルを示す多値画像データであるフレームデータ  $D_f$  が、各種の同期信号とともに入力される。フレームデータ  $D_f$  はデータ変換回路 79 の中のフレームメモリに一時的に記憶される。

#### 【0018】

PDP 1 による表示では、2 値の点灯制御によって階調再現を行うために、入力画像である時系列のフレームを所定数  $q$  のサブフレームに分割する。データ変換回路 7 9 は、フレームデータ  $D_f$  を階調表示のためのサブフレームデータ  $D_{sf}$  に変換してアドレスドライバ 8 7 へ送る。サブフレームデータ  $D_{sf}$  は 1 セル当たり 1 ビットの表示データの  $q$  画面分の集合であって、その各ビットの値は該当する 1 つのサブフレームにおけるセルの発光の要否、厳密にはアドレス放電の要否を示す。

【0 0 1 9】

スキヤンドライバ 8 5 は、計  $n$  個の表示電極対に行選択のためのスキヤンパルス印加する。アドレスドライバ 8 7 は、サブフレームデータ  $D_{sf}$  に基づいて、計  $m$  本のアドレス電極の電位を制御する。サステインドライバ 8 9 は、計  $(n + 1)$  本の表示電極に交番極性の維持電圧を印加する。これらドライバには電源回路 7 3 から図示しない配線導体を介して所定の電力が供給される。

〔第 1 実施形態〕

〔パネル構造〕

図 2 は第 1 実施形態に係る PDP のセル構造を示す図、図 3 は第 1 実施形態に係る PDP の隔壁パターンを示す平面図である。

【0 0 2 0】

図 2 において、PDP 1 は一対の基板構体（基板上にセル構成要素を設けた構造物）1 0、2 0 からなる。前面側の基板構体 1 0 の基材であるガラス基板 1 1 の内面に、行ピッチと同じピッチで表示電極  $Z$  が配列されている。表示面  $E S$  の全体における表示電極  $Z$  の総数は行数に 1 を加えた  $(n + 1)$  であり、表示電極列の両端を除く表示電極  $Z$  は隣り合う 2 行に共通の電極である。なお、行とは、列方向の配置順序が等しい列数分  $(m$  個) のセルの集合を意味する。表示電極  $Z$  のそれぞれは、セル毎に面放電ギャップを形成する透明導電膜 4 1 とその列方向の中央に重ねられた金属膜（バス導体）4 2 とからなる。金属膜 4 2 は表示面  $E S$  の外側へ引き出され、上述のスキヤンドライバ 8 5 およびサステインドライバ 8 9 と接続される。表示電極  $Z$  を被覆するように厚さ  $10 \sim 40 \mu m$  程度の誘電体層 1 7 が設けられ、誘電体層 1 7 の表面には保護膜 1 8 としてマグネシア (M

g O) が被着されている。

#### 【0 0 2 1】

背面側の基板構体 2 0 の基材であるガラス基板 2 1 の内面には 1 列に 1 本ずつアドレス電極 A が配列されており、これらアドレス電極 A は誘電体層 2 4 で被覆されている。誘電体層 2 4 の上に高さ 1 5 0  $\mu$  m 程度の隔壁 2 9 が設けられている。隔壁 2 9 は、放電空間を列毎に区画する部分（以下、垂直壁という）2 9 1 と、放電空間を行毎に区画する部分（以下、水平壁という）2 9 2 とからなる。そして、誘電体層 2 4 の表面および隔壁 2 9 の側面を被覆するように、カラー表示のための R, G, B の 3 色の蛍光体層 2 8 R, 2 8 G, 2 8 B が設けられている。図中の斜体文字 (R, G, B) は蛍光体の発光色を示す。色配列は各列のセルを同色とする R, G, B の繰り返しパターンである。蛍光体層 2 8 R, 2 8 G, 2 8 B は放電ガスが放つ紫外線によって励起されて発光する。

#### 【0 0 2 2】

図 3 のように、隔壁パターンはセル C を個々に囲む格子パターンである。格子パターンでは、放電空間 3 1 が実質的にセル毎に区画されるので、ストライプパターンとは違って列方向の放電干渉が生じない。また、隔壁 2 9 における水平壁 2 9 2 の側面にも蛍光体を設けることにより、発光効率が高まる。隔壁 2 9 の水平壁 2 9 2 と重なるように表示電極 Z の金属膜 4 2 を配置することにより、金属膜 4 2 による表示光に対する遮光を避けることができる。

#### 【0 0 2 3】

##### 〔駆動方法〕

図 4 は第 1 実施形態の駆動方法における期間設定の概要を示す図である。

1 シーンの画像情報であるフレームに割り当てるフレーム期間 T f をプログレッシブ形式で表示する。色別の階調表示によるカラー再現を行うために、フレームを例えば 8 個のサブフレームに分割する。つまり、各フレームを 8 個のサブフレームの集合に置き換える。これらサブフレームにおける輝度の相対比率がおおよそ 1 : 2 : 4 : 8 : 1 6 : 3 2 : 6 4 : 1 2 8 となるように重み付けをして各サブフレームの表示放電の回数を設定する。サブフレーム単位の点灯／非点灯の組合せで R G B の各色毎に 2 5 6 段階の輝度設定を行うことができるので、表示

可能な色の数は  $256^3$  となる。ただし、サブフレームを輝度の重みの順に表示する必要はない。

#### 【 0 0 2 4 】

各サブフレームに割り当てるサブフレーム期間  $T_{sf1} \sim T_{sf8}$  を、画面全体の電荷分布を均一化する準備期間  $T_R$ 、表示内容に応じた帯電分布を形成するアドレス期間  $T_A$ 、および階調レベルに応じた輝度を確保するために点灯状態を維持する表示期間  $T_S$  に分ける。準備期間  $T_R$  およびアドレス期間  $T_A$  の長さは輝度の重みに係わらず一定であり、表示期間  $T_S$  の長さは輝度の重みが大きいほど長い。

#### 【 0 0 2 5 】

図 5 は駆動シーケンスの概略を示す電圧波形図である。図 5 および以下の図において表示電極  $Z$  の参照符号の添字 ( $0, 1, 2 \dots n$ ) は対応する行の配列順位を示し、アドレス電極  $A$  の参照符号の添字 ( $1 \sim m$ ) は対応する列の配列順位を示す。なお、図示の波形は一例であり、振幅・極性・タイミングを種々変更することができる。

#### 【 0 0 2 6 】

準備期間  $T_R$  においては、奇数番目の表示電極  $Z$  に対してパルス  $P_{ry1}$  とその反対極性のパルス  $P_{ry2}$  とを順に印加し、偶数番目の表示電極  $Z$  に対してパルス  $P_{rx1}$  とその反対極性のパルス  $P_{rx2}$  とを順に印加する。ここでいうパルスの印加とは、一時的に電極を基準電位（例えば接地電位）と異なる電位にバイアスすることである。本例において、パルス  $P_{ry1}$ ,  $P_{ry2}$ ,  $P_{rx1}$  は微小放電を生じさせるための振幅が漸増するランプ波形パルスまたは鈍波波形パルスである。パルス  $P_{rx2}$ ,  $P_{ry2}$  の印加により、壁電圧を放電開始電圧とパルス振幅との差に相当する値に調整することができる。パルス  $P_{rx1}$ ,  $P_{ry1}$  は、1 つ前のサブフィールドにおいて点灯したセル及び点灯しなかったセルに適当な壁電圧を生じさせるために印加される。

#### 【 0 0 2 7 】

アドレス期間  $T_A$  では、後述のように表示電極  $Z$  の電位を制御して行選択を行い、それに同期させて点灯させるべきセルに対応したアドレス電極  $A$  にアドレス



パルス  $P_a$  を印加してアドレス放電を生じさせる。

【 0 0 2 8 】

表示期間  $T_S$  では、奇数番目の表示電極  $Z$  と偶数番目の表示電極  $Z$  とに交互にサステインパルス  $P_s$  を印加する。サステインパルス  $P_s$  の振幅は維持電圧  $V_s$  である。

【 0 0 2 9 】

図 6 は第 1 実施形態のアドレッシングにおける電圧制御のシーケンス図、図 7 はアドレス期間のセル電圧の変化を示す波形図である。

第 1 実施形態では全ての表示電極  $Z$  をスキャン電極として個別に制御する。計  $(n+1)$  本の表示電極  $Z$  のうち、奇数番目の表示電極（ここでは、これを表示電極  $Y$  とする）には順に負極性のスキャンパルス  $P_y$  を印加し、偶数番目の表示電極（ここでは、これを表示電極  $X$  とする）には順に正極性のスキャンパルス  $P_x$  を印加する。スキャンパルス  $P_y$  およびスキャンパルス  $P_x$  の双方のパルス幅は、基本的には行選択の 2 行分である。ただし、配列の両端の表示電極に印加するパルスについては 1 行分でもよく、1 行分とすることはアドレス期間  $T_A$  を少しでも短縮するのに寄与する。このようなスキャンパルス  $P_y$  およびスキャンパルス  $P_x$  のそれぞれの印加時期を互いにずらし、各行（図では  $L I N E$  と記す）に対応した表示電極対において 1 行分の時間だけ重複するように設定する。印加の重複する期間が該当する行の選択期間となる。図示のように表示電極  $Y$  および表示電極  $X$  に対して、それらの配列順にスキャンパルスを印加すると、 $n$  個の行が配列順に選択される。なお、非選択期間において、誤放電の防止や駆動回路の耐圧の低減を目的として、表示電極  $Y$  または表示電極  $X$  を適宜にバイアスしてもよい。例示では表示電極  $Y$  に対するバイアスが行われている。

【 0 0 3 0 】

そして、スキャンパルス  $P_y$  とスキャンパルス  $P_x$  とによる行選択に同期させて、点灯させるべきセルに対応したアドレス電極  $A$  にアドレスパルス  $P_a$  を印加する。スキャンパルス  $P_y$ 、スキャンパルス  $P_x$ 、およびアドレスパルス  $P_a$  の全てが印加されたセルでアドレス放電が起こる。

【 0 0 3 1 】

以上のシーケンスのアドレッシングにおいて重要なことは、一対の表示電極の電極間XY、アドレス電極Aと表示電極Yとの電極間AY、およびアドレス電極Aと表示電極Xとの電極間AXのいずれに対しても、それぞれの放電開始電圧 $V_{f_{XY}}$ 、 $V_{f_{AY}}$ 、 $V_{f_{AX}}$ を越えないように、かつ必要なアドレス放電が起こるように電圧を加えることである。すなわち、図7と図20との比較から明らかなように、従来では電極間AYに放電開始電圧 $V_{f_{AY}}$ より高いセル選択電圧 $V_{ay'}$ を印加したのに対し、本発明では電極間AYに加わるセル選択電圧 $V_{ay}$ が放電開始電圧 $V_{f_{AY}}$ を越えないように、スキャンパルス $P_y$ の振幅（選択電位 $V_y$ ）とアドレスパルス $P_a$ の振幅（選択電位 $V_a$ ）とを設定する。具体例は次のとおりである。

## 【0032】

選択電位 $V_x$ （スキャンパルス $P_x$ の振幅）：180ボルト

選択電位 $V_y$ （スキャンパルス $P_y$ の振幅）：-100ボルト

選択電位 $V_a$ （アドレスパルス $P_a$ の振幅）：60～70ボルト

電極間AYに印加するセル選択電圧 $V_{ay}$ が放電開始電圧 $V_{f_{AY}}$ より低いので、電極間XYに行選択電圧 $V_{xy}$ が加わらないときには放電が起こらない。行選択電圧 $V_{xy}$ が印加されたときには、行選択電圧 $V_{xy}$ も電極間XYの放電開始電圧 $V_{f_{XY}}$ より低い、その電界とセル選択電圧 $V_{ay}$ による電界とが相まって電極間AYで対向放電が発生し、電極間XYで面放電が引き起こされ、結果的にアドレス放電が起こる。アドレス放電による壁電荷の形成にともなって各電極間のセル電圧は変化する。選択行がjから次へ移った以後は、行jにおいてセル選択電圧 $V_{ay}$ と行選択電圧 $V_{xy}$ との印加時期が重なることはなく、アドレス放電は起こらない。すなわち、行jにおいてアドレッシングによって形成された電荷分布が表示期間TSまで保持される。

## 〔第2実施形態〕

図8は第2実施形態の駆動方法における期間設定の概要を示す図である。

## 【0033】

第2実施形態においても基本的には第1実施形態と同様に期間設定をする。第2実施形態における設定の特徴は、サブフレーム期間 $T_{sf1} \sim T_{sf8}$ のそれ

それぞれのアドレス期間  $T_A$  を、さらに前半部  $T_{A11}$  と後半部  $T_{A12}$  とに分割することである。

【0034】

図9は第2実施形態のアドレッシングにおける電圧制御のシーケンス図、図10は第2実施形態における表示ラインのアドレス順位を示す図である。

第2実施形態では  $(n+1)$  本の表示電極  $Z$  のうち、奇数番目の表示電極（表示電極  $Y$ ）をスキャン電極として個別に制御する。偶数番目の表示電極（表示電極  $X$ ）を個別の制御が不要の共通電極とし、これらのみに注目して数えた配列順位が奇数であるか偶数であるかによって表示電極  $X$  を第1組（表示電極  $X_{\text{odd}}$ ）と第2組（表示電極  $X_{\text{even}}$ ）とに分類する。

【0035】

アドレス期間  $T_A$  の前半部  $T_{A11}$  においては、表示電極  $X_{\text{odd}}$  をバイアスし、その状態で全ての表示電極  $Y$  に対して1本ずつ順にスキャンパルス  $P_y$  を印加する。表示電極  $Y$  の配列順にスキャンパルスを印加すると、図10のように先頭行から4行中の2行を選択する2行置きで順序で行選択が行われる。スキャンパルス  $P_y$  による行選択に同期させて、点灯させるべきセルに対応したアドレス電極  $A$  にアドレスパルス  $P_a$  を印加する。表示電極  $X$  がバイアスされ、スキャンパルス  $P_y$  が印加され、かつアドレスパルス  $P_a$  が印加されたセルでアドレス放電が起こる。

【0036】

アドレス期間  $T_A$  の後半部  $T_{A12}$  においては、表示電極  $X_{\text{even}}$  をバイアスし、その状態で配列の先頭を除く表示電極  $Y$  に対して1本ずつ順にスキャンパルス  $P_y$  を印加する。表示電極  $Y$  の配列順にスキャンパルスを印加すると、図10のように前半部  $T_{A11}$  で選択されなかった行を選択する2行置きで順序で行選択が行われる。スキャンパルス  $P_y$  による行選択に同期させて、点灯させるべきセルに対応したアドレス電極  $A$  にアドレスパルス  $P_a$  を印加する。表示電極  $X$  がバイアスされ、スキャンパルス  $P_y$  が印加され、かつアドレスパルス  $P_a$  が印加されたセルでアドレス放電が起こる。

【0037】

以上のシーケンスのアドレッシングにおいても、第 1 実施形態と同様に 3 つの電極間  $XY$ ,  $AY$ ,  $AX$  のいずれに対しても、それぞれの放電開始電圧を越えないように、かつ必要なアドレス放電が起こるように電圧を加える。この条件を満たす範囲で、前半部  $TA11$  と後半部  $TA12$  について個別に電圧設定をしてもよい。前半部  $TA11$  で電極間  $AY$  に不要の電荷が生じる場合には、アドレッシングの信頼性を高めるために、後半部  $TA12$  おける表示電極  $X$  のバイアス電位およびスキャンパルス  $P_y$  の振幅の一方または両方を前半部  $TA11$  と比べて高めに設定してもよい。また、前半部  $TA11$  と後半部  $TA12$  との間に、不要の電荷の影響を無くすために、例えば表示電極  $Y$  にパルスを印加して電荷の極性を反転させる放電を生じさせてもよい。

## 【 0 0 3 8 】

第 2 実施形態では表示電極  $X$  を個別に制御しないので、第 1 実施形態と比べてスキャン回路部品の必要数が少なく、スキャンドライバ 85 の低価格化を図ることができる。

## 〔第 3 実施形態〕

図 1 1 は第 3 実施形態の駆動方法における期間設定の概要を示す図である。

## 【 0 0 3 9 】

第 3 実施形態の期間設定は第 2 実施形態のそれと類似している。第 3 実施形態においては、サブフレーム期間  $T_{sf1} \sim T_{sf8}$  のそれぞれのアドレス期間  $TA$  を第 2 実施形態と同様に前半部  $TA11$  と後半部  $TA12$  とに分割し、これら前半部  $TA11$  および後半部  $TA12$  の双方に 1 つずつ準備期間  $TR11$ ,  $TR12$  を割り当てる。すなわち、前半部  $TA11$  の直前、および前半部  $TA11$  と後半部  $TA12$  との間に準備期間を設ける。

## 【 0 0 4 0 】

図 1 2 は第 3 実施形態のアドレッシングにおける電圧制御のシーケンス図である。

第 3 実施形態においても、 $(n+1)$  本の表示電極  $Z$  のうち、奇数番目の表示電極（表示電極  $Y$ ）をスキャン電極として個別に制御する。偶数番目の表示電極（表示電極  $X$ ）を個別の制御が不要の共通電極とし、これらのみに注目して数え

た配列順位が奇数であるか偶数であるかによって表示電極 $X$ を第1組（表示電極 $X_{\text{odd}}$ ）と第2組（表示電極 $X_{\text{even}}$ ）とに分類する。

【0041】

準備期間 $TR11$ では、それに続く前半部 $TA11$ でアドレスされる行を対象として壁電荷を均一化する。全ての表示電極 $Y$ に対して上述したパルス $Pr y 1$ 、 $Pr y 2$ を印加するとともに、第1組の表示電極 $X_{\text{odd}}$ に対して上述したパルス $Pr x 1$ 、 $Pr x 2$ を印加する。第2組の表示電極 $X_{\text{even}}$ にはパルスを印加しない。

【0042】

アドレス期間 $TA$ の前半部 $TA11$ では、準備期間 $TR11$ から引き続いて表示電極 $X_{\text{odd}}$ をバイアス状態に保ちながら、第2実施形態（図9）と同様に全ての表示電極 $Y$ に対して1本ずつ順にスキャンパルス $P_y$ を印加する。表示電極 $Y$ の配列順にスキャンパルスを印加すると、図10のように先頭行から4行中の2行を選択する2行置きで順序で行選択が行われる。スキャンパルス $P_y$ による行選択に同期させて、点灯させるべきセルに対応したアドレス電極 $A$ にアドレスパルス $P_a$ を印加する。表示電極 $X$ がバイアスされ、スキャンパルス $P_y$ が印加され、かつアドレスパルス $P_a$ が印加されたセルでアドレス放電が起こる。

【0043】

準備期間 $TR12$ では、それに続く後半部 $TA12$ でアドレスされる行を対象として壁電荷を均一化する。全ての表示電極 $Y$ とに対して上述したパルス $Pr y 1$ 、 $Pr y 2$ を印加するとともに、表示電極 $X_{\text{even}}$ に対して上述したパルス $Pr x 1$ 、 $Pr x 2$ を印加する。表示電極 $X_{\text{odd}}$ に対しては、既にアドレッシングを終えた行の電荷を保持するため、パルス $Pr a 1$ 、 $Pr y 1$ の印加に同期させてパルス $Pr y 1$ と同極性のパルス $Pr x 3$ を印加して不要放電を防ぐ。

【0044】

アドレス期間 $TA$ の後半部 $TA12$ においては、表示電極 $X_{\text{even}}$ をバイアス状態に保ちながら、全ての表示電極 $Y$ に対して1本ずつ順にスキャンパルス $P_y$ を印加する。先頭を除く表示電極 $Y$ に配列順にスキャンパルスを印加すると、図10のように前半部 $TA11$ で選択されなかった行を選択する2行置きで順序で行

選択が行われる。スキャンパルス  $P_y$  による行選択に同期させて、点灯させるべきセルに対応したアドレス電極  $A$  にアドレスパルス  $P_a$  を印加する。表示電極  $X$  がバイアスされ、スキャンパルス  $P_y$  が印加され、かつアドレスパルス  $P_a$  が印加されたセルでアドレス放電が起こる。

#### 【0045】

このように第3実施形態では計2回の準備処理を行うので、アドレッシングの信頼性が高い。すなわち、図2で説明した電極配列ではスキャン電極として用いる表示電極  $Y$  が隣り合う2行に共通の電極であるので、この2行のうちの一方における前半部  $TA11$  でのアドレス放電に際して、他方の行でも電極間  $AY$  の対向放電が生じるおそれがある。対向放電が生じて不要の壁電荷が電極間  $AY$  に帯電すると、当該行に対して後半部でアドレッシングをしようとしても、壁電荷の影響で所望のアドレス放電が起こらない確率が大きくなる。そこで、後半部  $TA12$  の直前に2回目の準備処理を行う。これによって、前半部  $TA11$  と後半部  $TA12$  とで放電条件が揃い、前半部  $TA11$  および後半部  $TA12$  の双方で安定したアドレッシングを行うことができる。

#### 【0046】

なお、第3実施形態においても、第2実施形態と同様に表示電極  $X$  を個別に制御しないので、第1実施形態と比べてスキャン回路部品の必要数が少なく、スキヤンドライバ85の低価格化を図ることができる。

#### 〔第4実施形態〕

図13は第4実施形態のアドレッシングにおける電圧制御のシーケンス図である。

#### 【0047】

第4実施形態では全ての表示電極  $Z$  をスキャン電極として個別に制御する。基本的には各表示電極  $Z$  に対して、第1極性のスキャンパルス  $P_x$  と第2極性のスキャンパルス  $P_y$  とを印加する。そして、選択行に対応した表示電極対の一方にはスキャンパルス  $P_x$  を印加し、他方にはスキャンパルス  $P_y$  を印加するように印加のタイミングを設定する。配列の両端の表示電極  $Z$  については、スキャンパルス  $P_x$  およびスキャンパルス  $P_y$  の片方を印加すればよい。図示のように各表

示電極Zに対してスキャンパルスP<sub>x</sub>とスキャンパルスP<sub>y</sub>とを続けて印加する場合には、n個の行（図ではLINE）が配列順に選択される。このような行選択に同期させて、点灯させるべきセルに対応したアドレス電極AにアドレスパルスP<sub>a</sub>を印加する。

#### 〔第5実施形態〕

図14は第5実施形態に係るPDPのセル構造を示す図である。

#### 【0048】

図示のPDP1bは一对の基板構体10b, 20bからなり、その構成は表示電極の配列形態と隔壁パターンとを除いて、上述のPDP1と同様である。PDP1bにおいては、n行m列の表示面ESbの各行に一对ずつ表示電極X, Yが配置されている。前面側のガラス基板11に配置された表示電極列において、隣り合う行どうしの間の電極間隙は表示電極対の間隙（面放電ギャップ長）より十分に大きい。表示電極X, Yは、面放電ギャップを形成する透明導電膜41bとその端縁部に重ねられた金属膜42bとからなる。表示電極X, Yを被覆するように誘電体層17が設けられ、誘電体層17の表面には保護膜18が被着されている。なお、図では表示電極Xと表示電極Yとが交互に並んでいるが（XYXY…）、これに限るものではない。

#### 【0049】

背面側のガラス基板21の内面に1列に1本ずつアドレス電極Aが配列されており、これらアドレス電極Aは誘電体層24で被覆されている。誘電体層24の上に高さ150 $\mu$ m程度の隔壁29bが設けられている。隔壁パターンは放電空間を列毎に区画するストライプパターンである。誘電体層24の表面および隔壁29bの側面を被覆するように、カラー表示のための蛍光体層28R, 28G, 28Bが設けられている。図中の斜体文字（R, G, B）は蛍光体の発光色を示す。色配列は各列のセルを同色とするR, G, Bの繰り返しパターンである。蛍光体層28R, 28G, 28Bは放電ガスが放つ紫外線によって局部的に励起されて発光する。

#### 【0050】

図15は第5実施形態のアドレッシングにおける電圧制御のシーケンス図、図

16は第5実施形態における表示ラインのアドレス順位を示す図である。

第5実施形態においては、計 $n$ 本の表示電極 $Y$ を2行分ずつ組分けして組毎に電氣的に共通化し、共通化された表示電極 $Y$ （ここでは表示電極 $Y_G$ という）をスキャン電極として個別に制御する。共通化により、各行を個別に制御する従来の駆動方法と比べて、スキャン回路部品の必要数が少なくなり、スキャンドライバの低価格化を図ることができる。一方、表示電極 $X$ については、奇数行の表示電極 $X$ を第1組（表示電極 $X_{\text{odd}}$ ）とし、偶数行の表示電極 $X$ を第2組（表示電極 $X_{\text{even}}$ ）とし、組毎に一括に制御する。

【0051】

このように組分けをした表示電極 $X$ 、 $Y$ に対して、上述の第2実施形態と同様のシーケンスの電圧制御を行う。すなわち、アドレス期間 $TA$ の前半部 $TA11$ において、表示電極 $X_{\text{odd}}$ をバイアスし、その状態で全ての表示電極 $Y_G$ に対して1個ずつ順にスキャンパルス $P_y$ を印加する。表示電極 $Y_G$ の配列順にスキャンパルス $P_y$ を印加すると、図16のように先頭行から1行置きの順序で行選択が行われる。また、後半部 $TA12$ においては、表示電極 $X_{\text{even}}$ をバイアスし、その状態で全ての表示電極 $Y_G$ に対して1個ずつ順にスキャンパルス $P_y$ を印加する。表示電極 $Y$ の配列順にスキャンパルス $P_y$ を印加すると、図16のように前半部 $TA11$ で選択されなかった行を選択する1行置きの順序で行選択が行われる。前半部 $TA11$ および後半部 $TA12$ において、スキャンパルス $P_y$ による行選択に同期させて、点灯させるべきセルに対応したアドレス電極 $A$ にアドレスパルス $P_a$ を印加する。表示電極 $X$ がバイアスされ、スキャンパルス $P_y$ が印加され、かつアドレスパルス $P_a$ が印加されたセルでアドレス放電が起こる。

〔第6実施形態〕

図17は第6実施形態のアドレッシングにおける電圧制御のシーケンス図、図18は第6実施形態における壁電荷の極性変化を示す図、図19は第6実施形態における表示ラインのアドレス順位を示す図である。

【0052】

第6実施形態は、図2に示したセル毎に放電空間を区画する平面視格子状の隔壁29をもつPDP1に適用される。第6実施形態の駆動方法における期間設定



の概要は第 2 実施形態（図 8）のそれと同様である。

【0053】

第 6 実施形態では（ $n+1$ ）本の表示電極 Z のうち、偶数番目の表示電極（表示電極 Y）をスキャン電極として個別に制御する。奇数番目の表示電極（表示電極 X）を個別の制御が不要の共通電極とし、これらのみに注目して数えた配列順位が奇数であるか偶数であるかによって表示電極 X を第 1 組（表示電極  $X_{\text{odd}}$ ）と第 2 組（表示電極  $X_{\text{even}}$ ）とに分類する。

【0054】

準備期間 TR では、ランプ波形パルス・鈍波波形パルス・矩形パルスを適切に組み合わせて印加することにより、全ての行に維持電圧の印加で放電が生じる量の壁電荷を形成する。準備期間 TR の終了時点での壁電荷の極性は、各行における表示電極 X の側では（+）であり、表示電極 Y の側では（-）である。各表示電極 X、Y の近傍の帯電をみると、図 18 の示すとおり水平壁 292 の両側に同極性でほぼ同量の壁電荷が存在している。

【0055】

図 17 に戻り、アドレス期間 TA の前半部 TA11 においては、最初に表示電極  $X_{\text{even}}$  に振幅  $V_s$  の正極性のサステインパルス  $P_s$  を印加する（#1）。これにより、表示電極  $X_{\text{even}}$  が関係する行（後半部 TA12 のアドレッシング対象）において、放電が生じて壁電荷の極性が反転する。放電は水平壁 292 によって行毎に局所化されるので、各表示電極 Y の近傍の帯電をみると、水平壁 292 を境界として表示電極  $X_{\text{even}}$  の側の極性が反転し、表示電極  $X_{\text{odd}}$  の側の極性は反転しない。このような壁電荷制御に続いて、一旦、全ての表示電極 Y の電位を負極性の選択電位（ $V_y$ ）まで徐々に変化させた後に非選択電位（ $V_{sc}$ ）にバイアスし、表示電極  $X_{\text{odd}}$  を選択電位（ $V_{ax}$ ）にバイアスする。その状態で全ての表示電極 Y に対して 1 本ずつ順にスキャンパルス  $P_y$  を印加する。すなわち、選択行の表示電極 Y をして一時的に選択電位（ $V_y$ ）にバイアスする。表示電極 Y の配列順にスキャンパルス  $P_y$  を印加すると、図 19 のように先頭行を選択した後、2 行置きに 2 行ずつ選択する順序で行選択が行われる。スキャンパルス  $P_y$  による行選択に同期させて、後の表示期間 TS で非点灯とすべきセル（選択セ

ル) に対応したアドレス電極 A にアドレスパルス  $P_a$  を印加する。表示電極 X がバイアスされ、スキャンパルス  $P_y$  が印加され、かつアドレスパルス  $P_a$  が印加されたセルでアドレス放電が起こり、図 18 で実線で示すように壁電荷が消失する。点灯すべきセル (非選択セル) にはアドレスパルス  $P_a$  が印加されず、図 18 で破線で示すように壁電荷が残留する。

【0056】

ここで、重要なことは、各表示電極 Y が隣り合う 2 行に共通であるにもかかわらず、片方の行のみのアドレッシングが行われることである。上述のとおり、行選択に先立って表示電極  $X_{\text{even}}$  が関係する行の壁電荷の極性を反転させることにより、これらの行では壁電荷がスキャンパルス  $P_y$  を打ち消すように作用するのでアドレス放電が起きない。

【0057】

アドレス期間  $T_A$  の後半部  $T_{A12}$  においては、最初に全ての表示電極 Y にサステインパルス  $P_s$  を印加することによって、表示電極  $X_{\text{even}}$  が関係する行における壁電荷の極性を再び反転させる (#2)。すなわち、後半部  $T_{A12}$  のアドレッシング対象の帯電状態を準備期間  $T_R$  の終了時点の状態に戻す。続いて、表示電極  $X_{\text{odd}}$  にサステインパルス  $P_s$  を印加する (#3)。これにより、前半部  $T_{A11}$  において選択された行の非選択セルで放電が生じ、残留している壁電荷の極性が反転する。このような壁電荷制御に続いて、一旦、全ての表示電極 Y の電位を選択電位 ( $V_y$ ) まで徐々に変化させた後に非選択電位 ( $V_{sc}$ ) にバイアスし、表示電極  $X_{\text{even}}$  を選択電位 ( $V_{ax}$ ) にバイアスする。その状態で全ての表示電極 Y に対して 1 本ずつ順にスキャンパルス  $P_y$  を印加する。表示電極 Y の配列順にスキャンパルス  $P_y$  を印加すると、図 19 のように前半部  $T_{A11}$  で選択されなかった行が順に選択される。スキャンパルス  $P_y$  による行選択に同期させて、選択セルに対応したアドレス電極 A にアドレスパルス  $P_a$  を印加してアドレス放電を起こす。前半部  $T_{A11}$  と同様に対象外の行について予め壁電荷の極性を反転してあるので、壁電荷がスキャンパルス  $P_y$  を打ち消すように作用する。したがって、対象外の行ではアドレス放電が起きない。

【0058】

バイアス電位の実用例は次のとおりである。

$V_s$  : 160 ~ 190 ボルト

$V_y$  : -40 ~ -90 ボルト

$V_{sc}$  : 0 ~ 60 ボルト

$V_{ax}$  : 0 ~ 80 ボルト

表示期間  $T_S$  においては、全ての表示電極  $Y$  に一齐にサステインパルス  $P_s$  を印加する。これにより、表示電極  $Y$  と表示電極  $X_{odd}$  とが関係する行で表示放電が起こる。以降は全ての表示電極  $X$  ( $X_{odd} + X_{even}$ ) と全ての表示電極  $Y$  とに交互にサステインパルス  $P_s$  を印加する。印加毎に非選択セルをもつ行で表示放電が起こる。

【0059】

【発明の効果】

請求項1乃至請求項11の発明によれば、隣り合う2行が表示電極を共用する電極構成においてプログレッシブ表示を実現することができる。

【0060】

請求項4の発明によれば、スキャン回路の部品点数を低減して駆動回路の低価格化を図ることができる。

請求項7の発明によれば、表示を乱す放電の干渉がない安定したプログレッシブ表示を実現することができる。

【0061】

請求項9の発明によれば、アドレッシングの信頼性を高め、より安定したプログレッシブ表示を実現することができる。

請求項10の発明によれば、スキャン回路の部品点数を低減して駆動回路の低価格化を図ることができる。

【図面の簡単な説明】

【図1】

本発明に係る表示装置の構成図である。

【図2】

第1実施形態に係るPDPのセル構造を示す図である。

【図 3】

第 1 実施形態に係る P D P の隔壁パターンを示す平面図である。

【図 4】

第 1 実施形態の駆動方法における期間設定の概要を示す図である。

【図 5】

駆動シーケンスの概略を示す電圧波形図である。

【図 6】

第 1 実施形態のアドレッシングにおける電圧制御のシーケンス図である。

【図 7】

アドレス期間のセル電圧の変化を示す波形図である。

【図 8】

第 2 実施形態の駆動方法における期間設定の概要を示す図である。

【図 9】

第 2 実施形態のアドレッシングにおける電圧制御のシーケンス図である。

【図 1 0】

第 2 実施形態における表示ラインのアドレス順位を示す図である。

【図 1 1】

第 3 実施形態の駆動方法における期間設定の概要を示す図である。

【図 1 2】

第 3 実施形態のアドレッシングにおける電圧制御のシーケンス図である。

【図 1 3】

第 4 実施形態のアドレッシングにおける電圧制御のシーケンス図である。

【図 1 4】

第 5 実施形態に係る P D P のセル構造を示す図である。

【図 1 5】

第 5 実施形態のアドレッシングにおける電圧制御のシーケンス図である。

【図 1 6】

第 5 実施形態における表示ラインのアドレス順位を示す図である。

【図 1 7】

第 6 実施形態のアドレッシングにおける電圧制御のシーケンス図である。

【図 1 8】

第 6 実施形態における壁電荷の極性変化を示す図である。

【図 1 9】

第 6 実施形態における表示ラインのアドレス順位を示す図である。

【図 2 0】

従来の駆動方法におけるアドレス期間のセル電圧の変化を示す波形図である。

【符号の説明】

Z 表示電極

L I N E 行

A アドレス電極

1, 1 b P D P

Y 表示電極（一方の表示電極、第 2 表示電極）

X 表示電極（他方の表示電極、第 1 表示電極）

D s f サブフレームデータ（表示データ）

V a y セル選択電圧

V<sub>AY</sub> 電極間 A Y の放電開始電圧

V x y 行選択電圧

V<sub>XY</sub> 電極間 X Y の放電開始電圧

V y 選択電位

V x 選択電位

T A アドレス期間

T A 1 1 前半部

T A 1 2 後半部

X<sub>odd</sub> 表示電極（第 1 組の共通電極）

X<sub>even</sub> 表示電極（第 2 組の共通電極）

7 0 ドライブユニット（電気回路）

1 0 0 表示装置

C セル

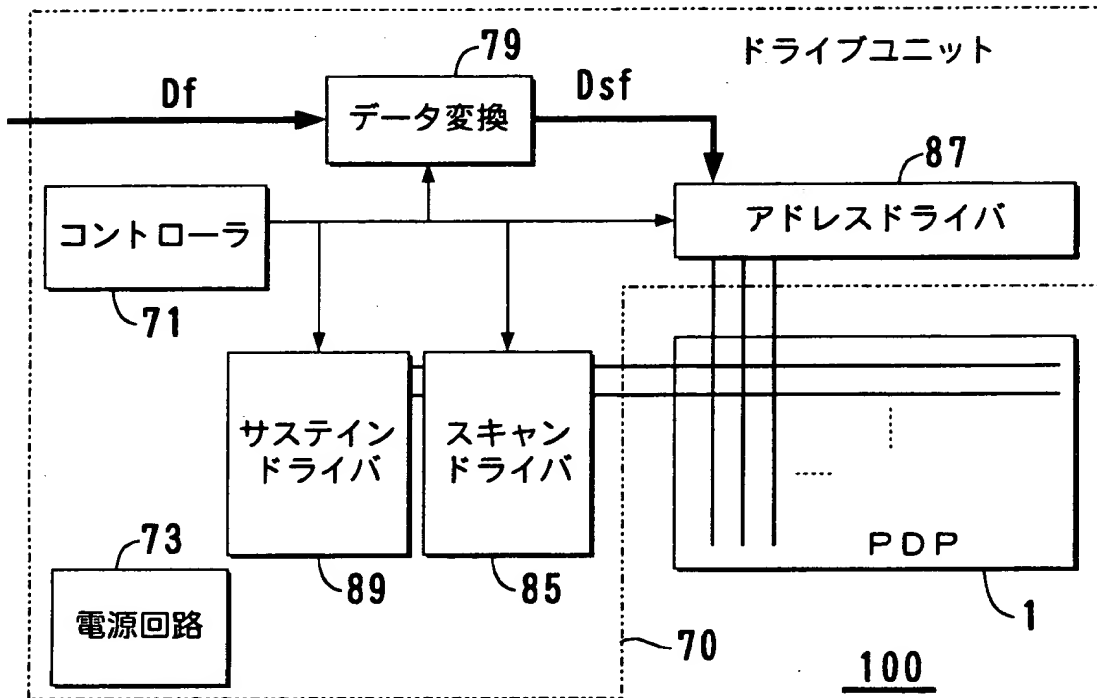
3 1 放電空間

2 9 隔壁

【書類名】 図面

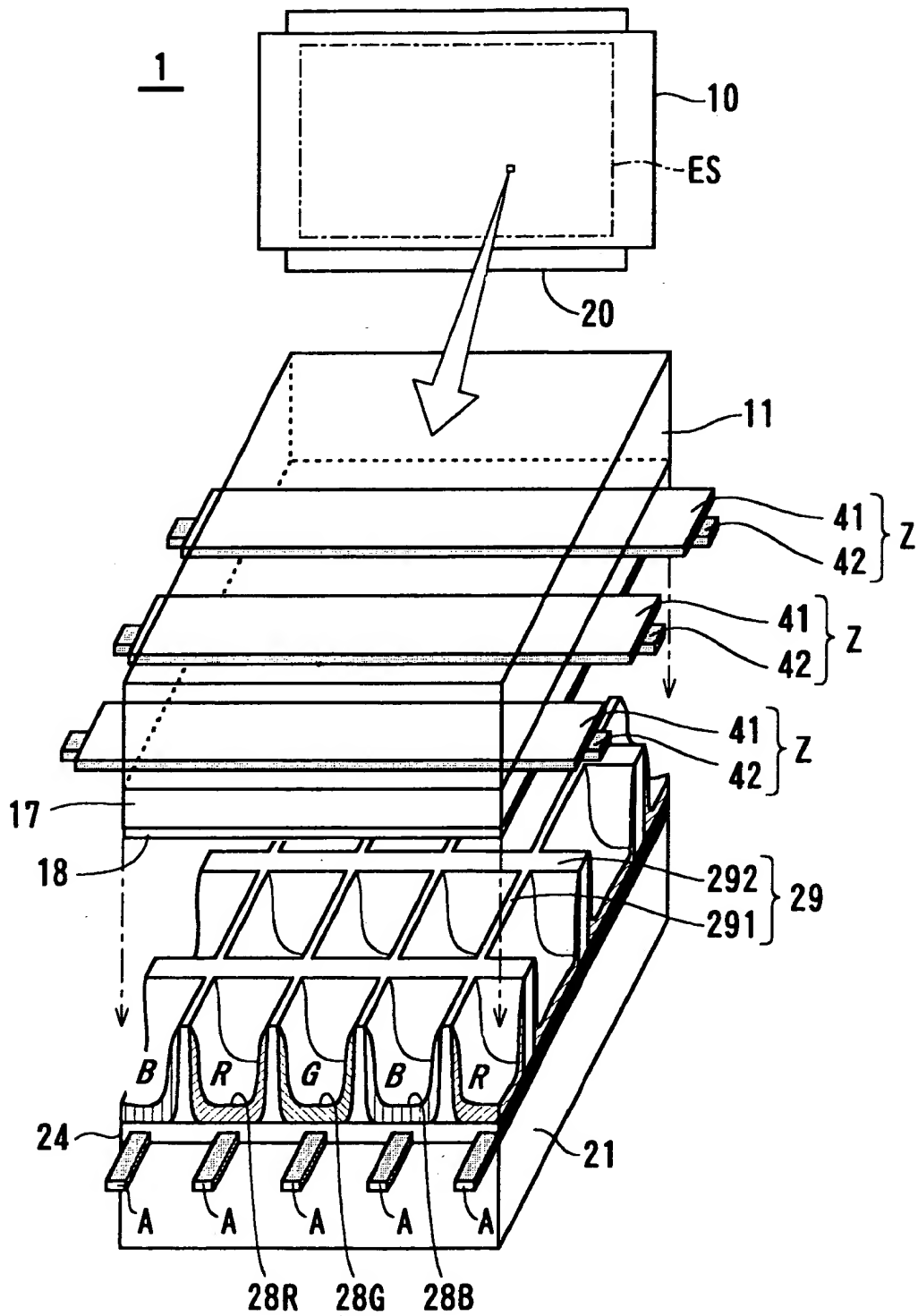
【図 1】

本発明に係る表示装置の構成図



【図 2】

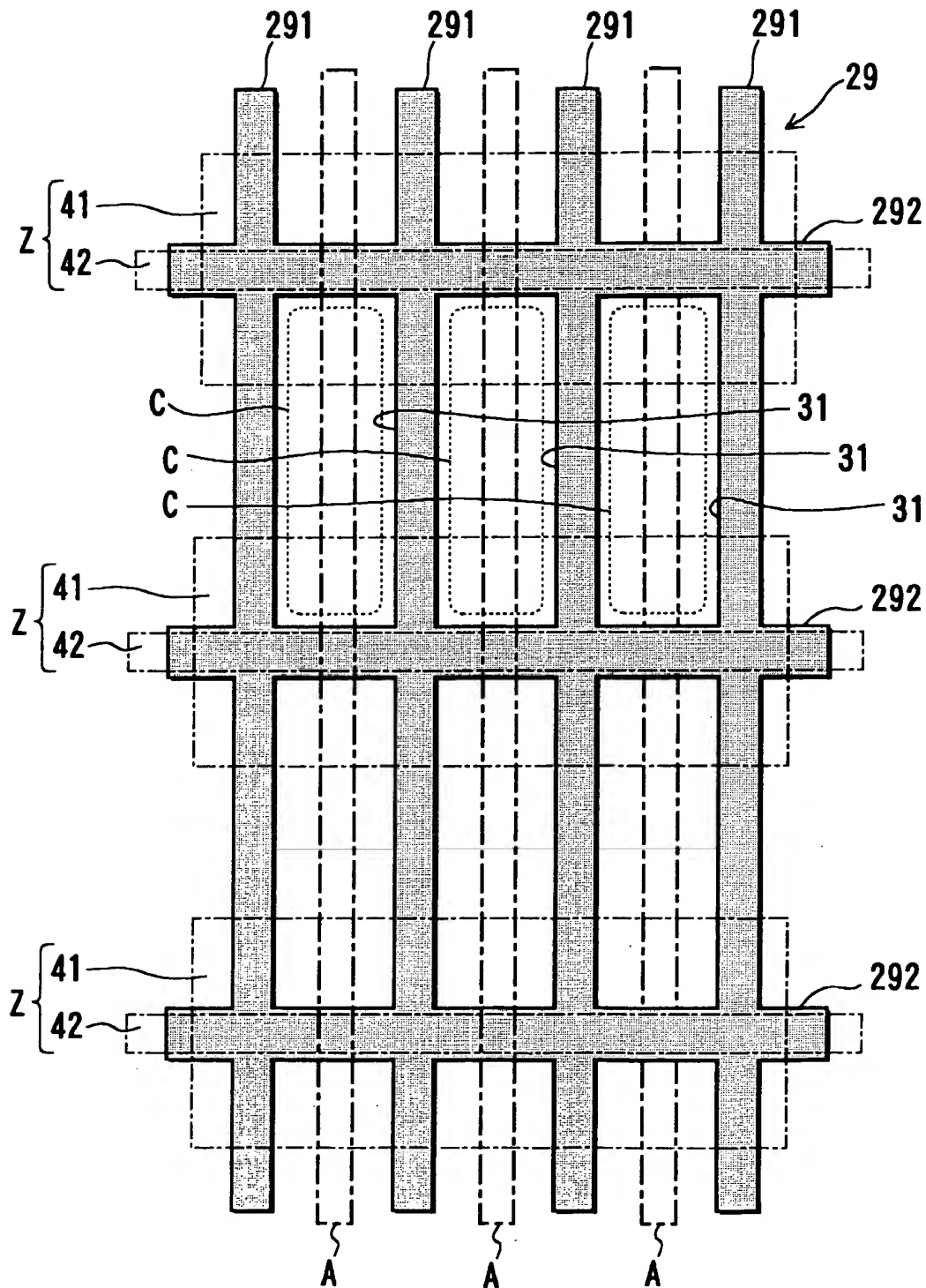
第 1 実施形態に係る PDP のセル構造を示す図





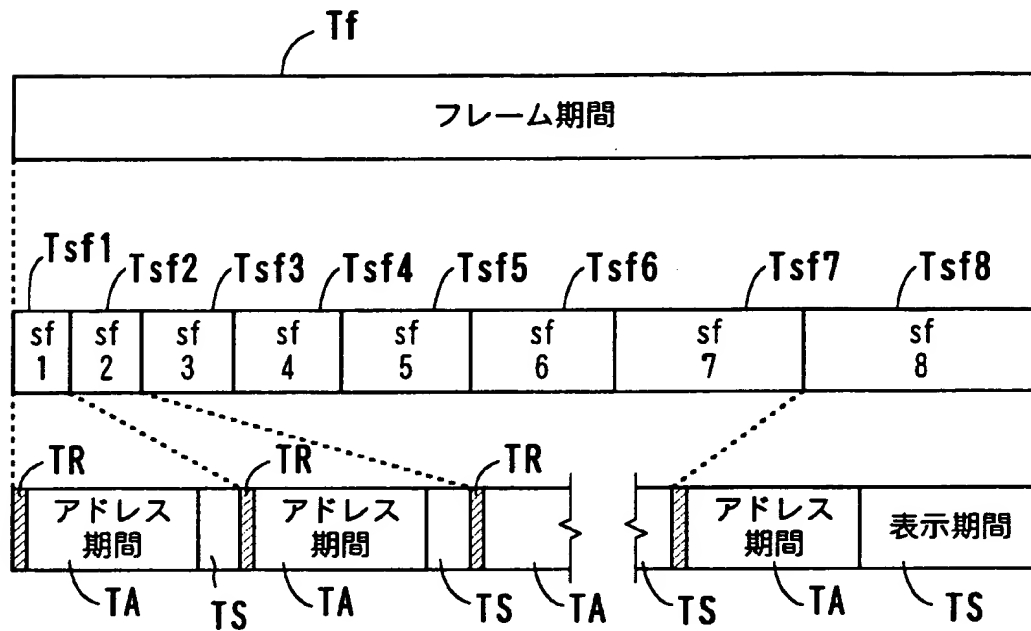
【図 3】

第 1 実施形態に係る PDP の隔壁パターンを示す平面図



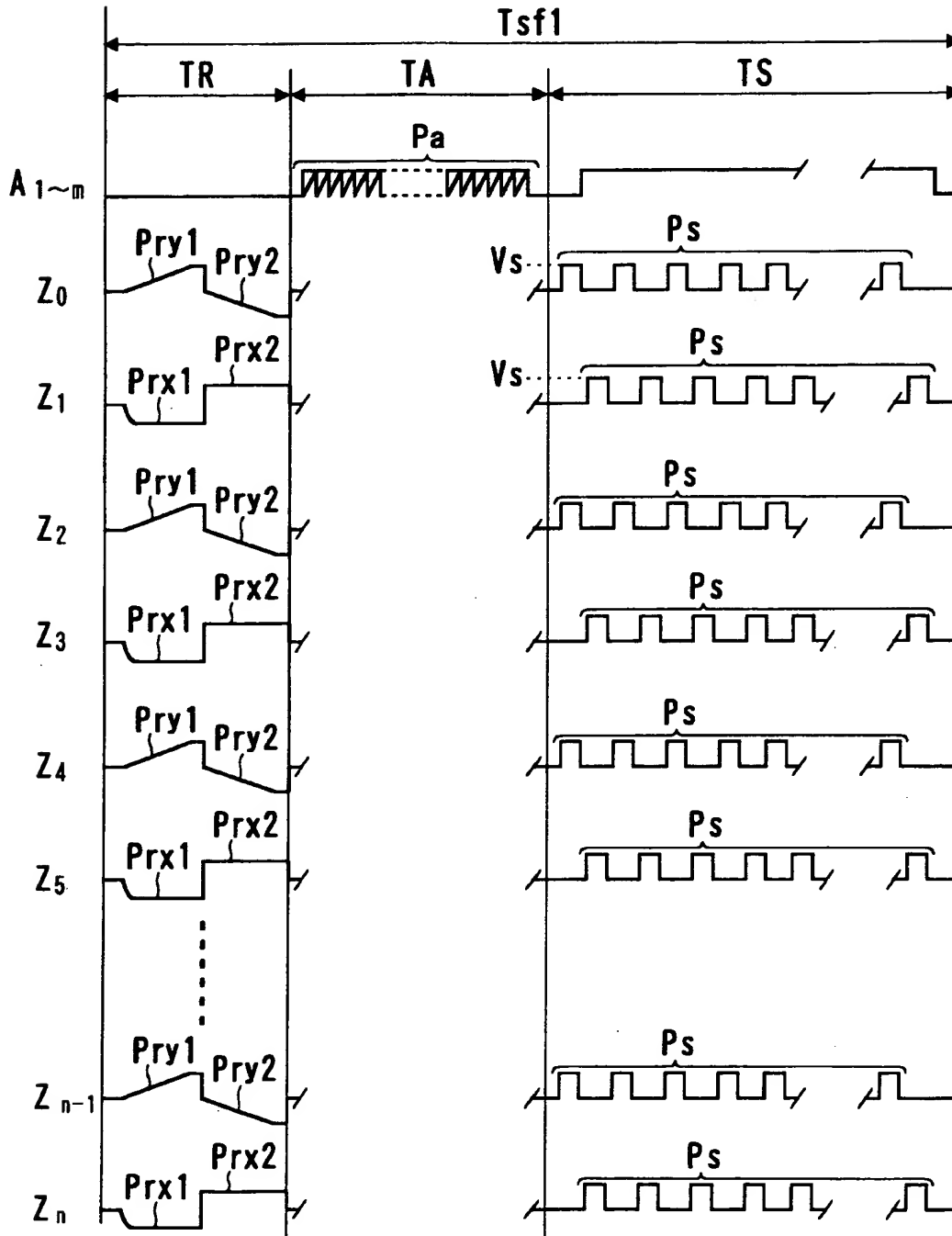
【図 4】

第 1 実施形態の駆動方法における期間設定の概要を示す図



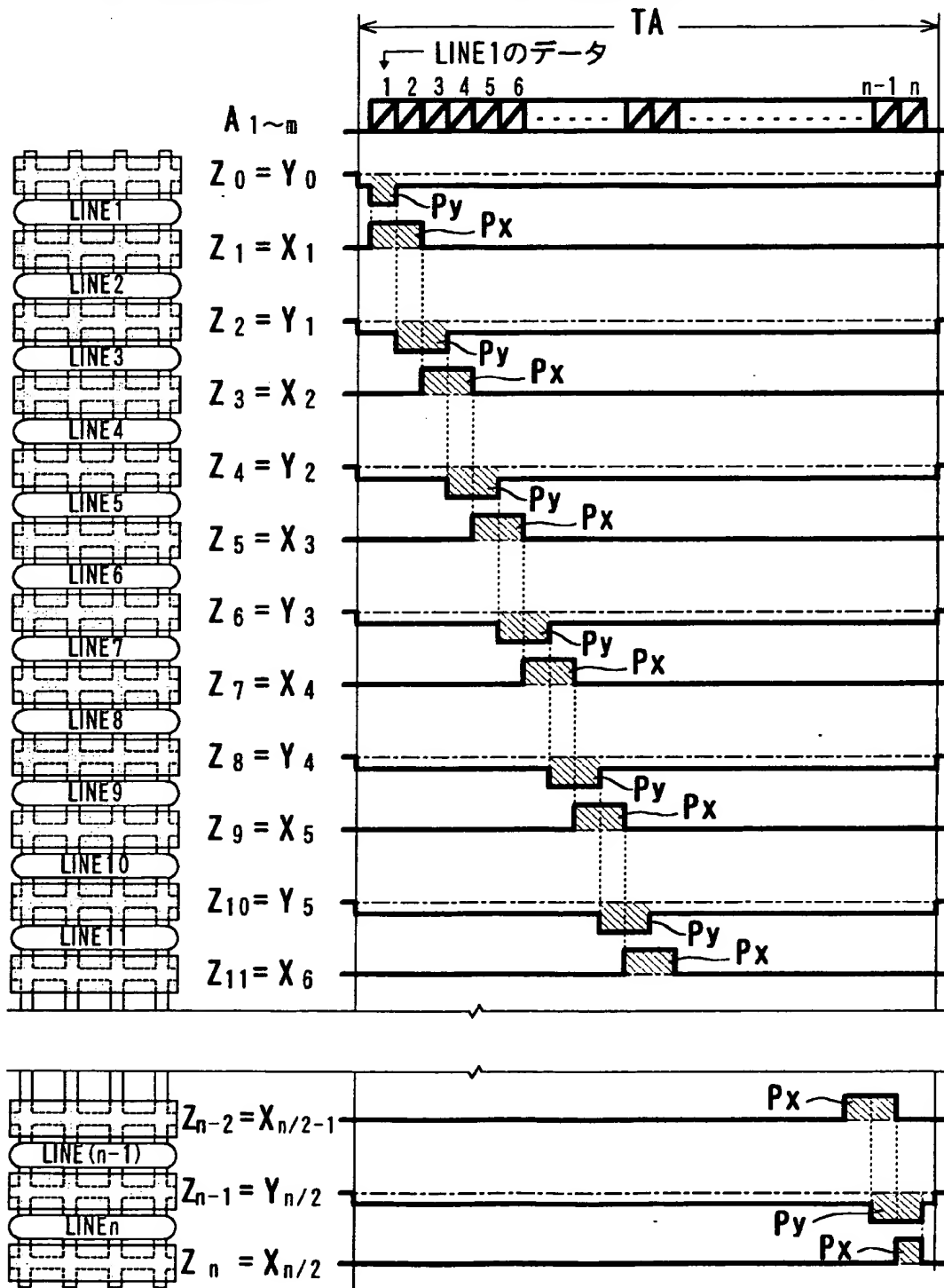
【図 5】

駆動シーケンスの概略を示す電圧波形図

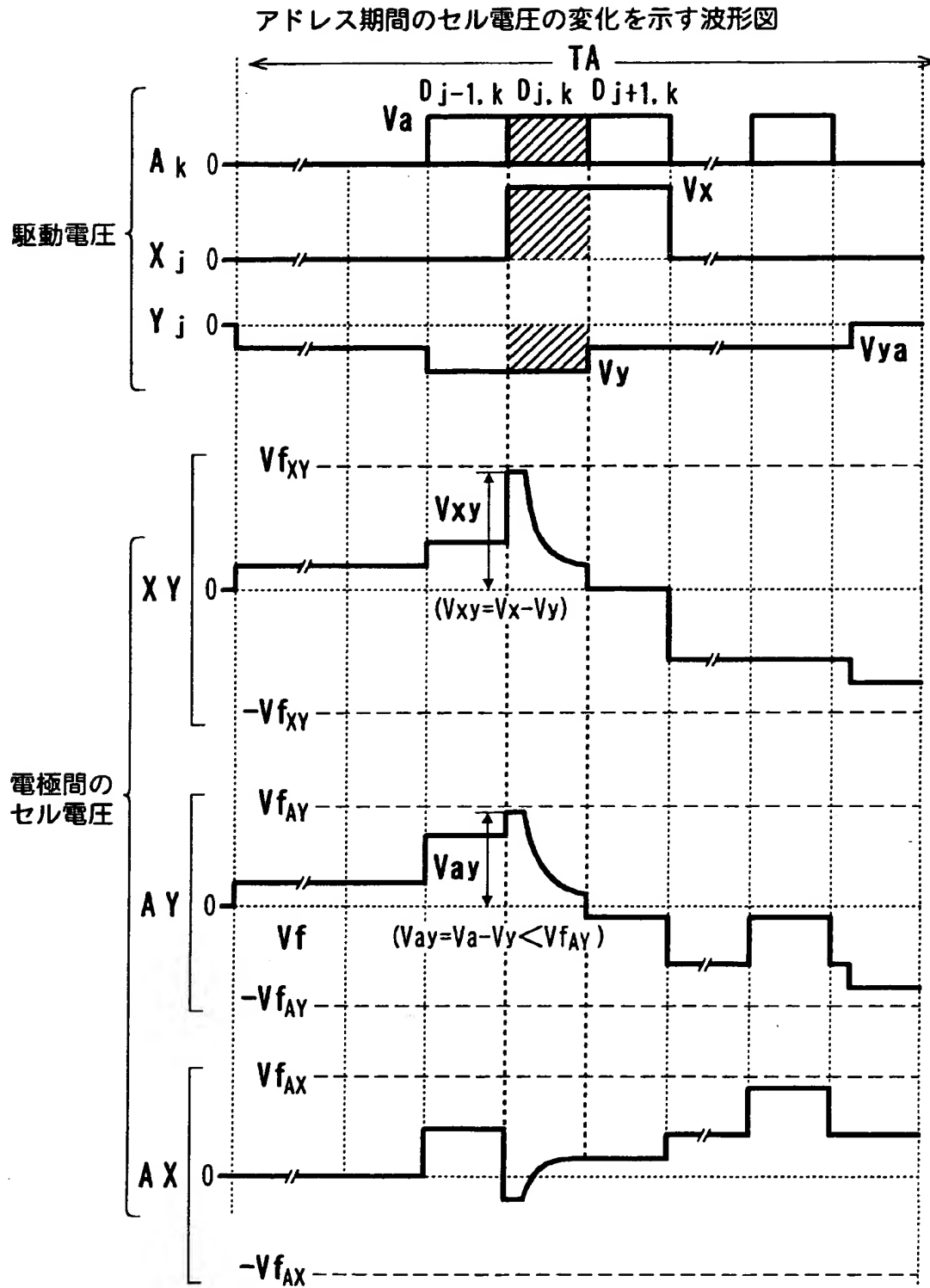


【図 6】

第1実施形態のアドレッシングにおける電圧制御のシーケンス図

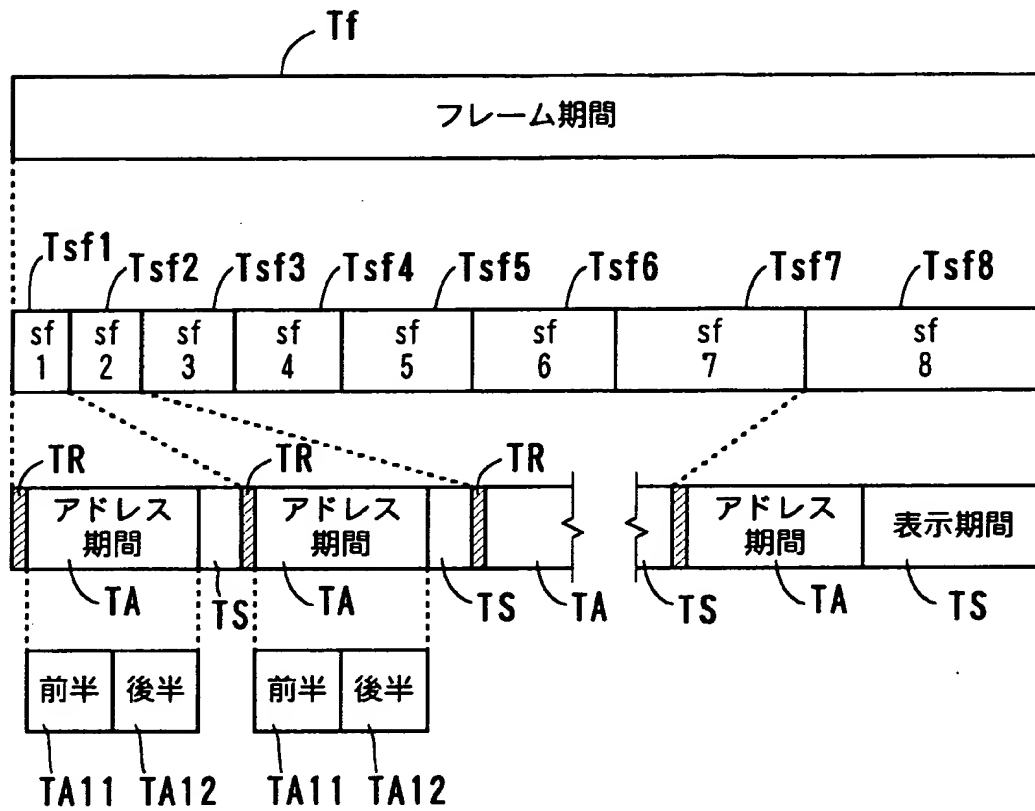


【図 7】



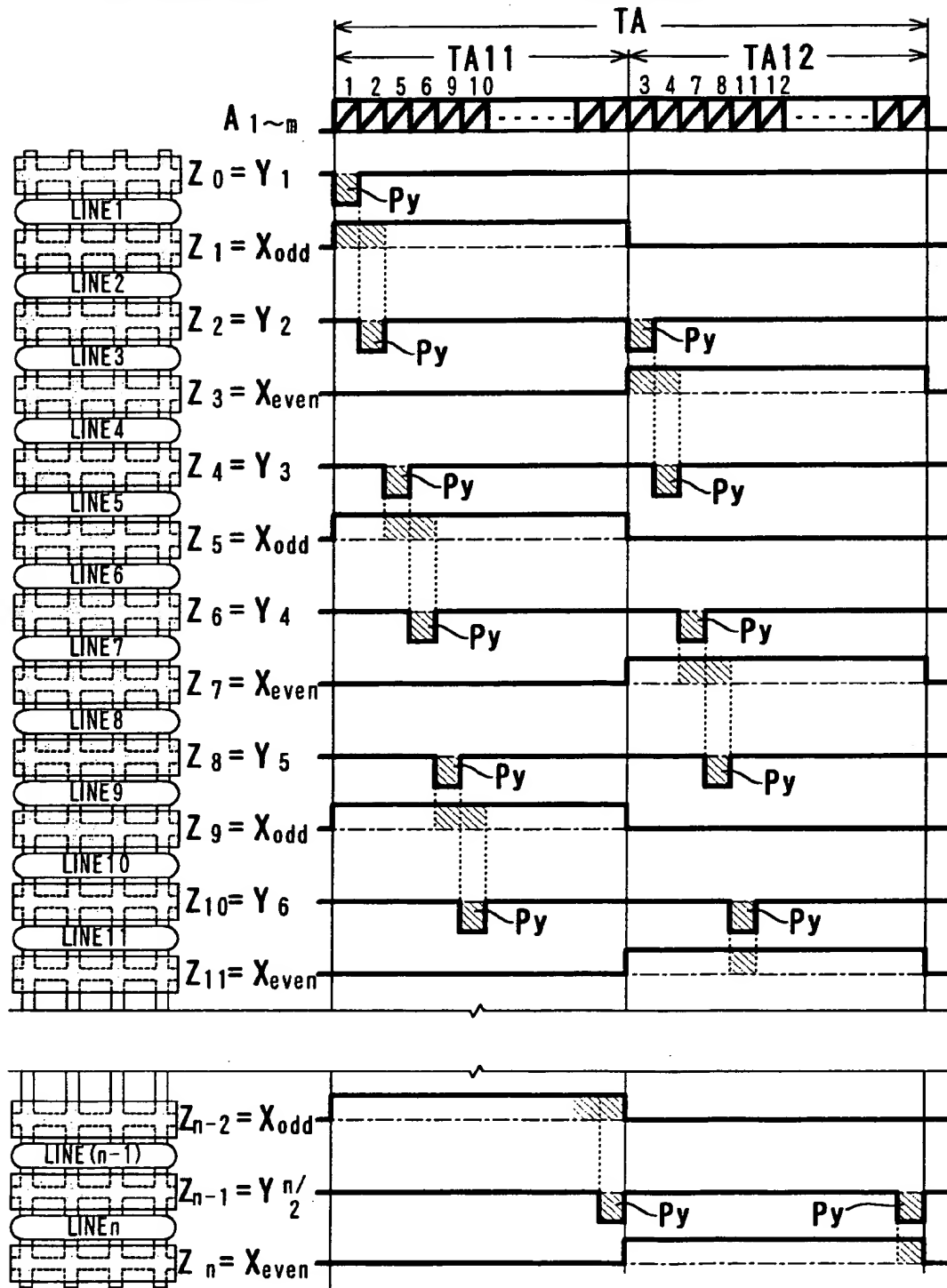
【図 8】

第 2 実施形態の駆動方法における期間設定の概要を示す図



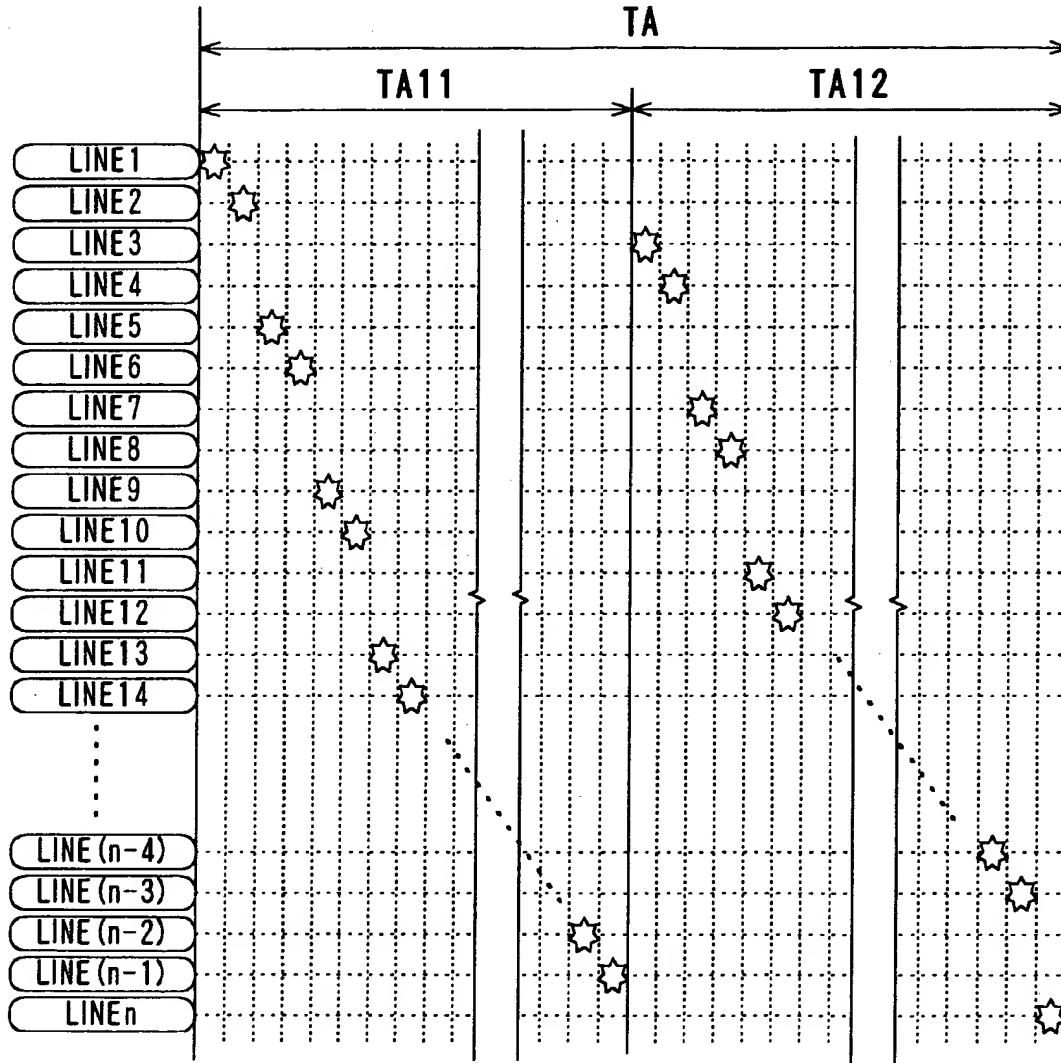
【図 9】

第2実施形態のアドレッシングにおける電圧制御のシーケンス図



【図 1 0】

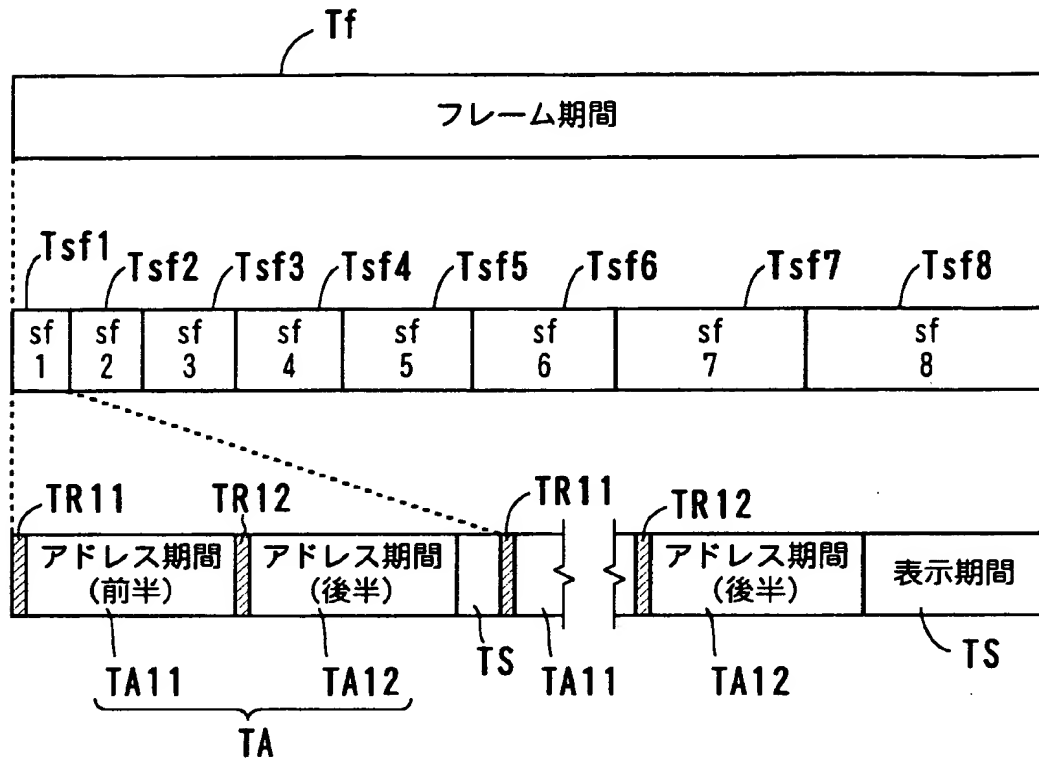
第 2 実施形態における表示ラインのアドレス順位を示す図





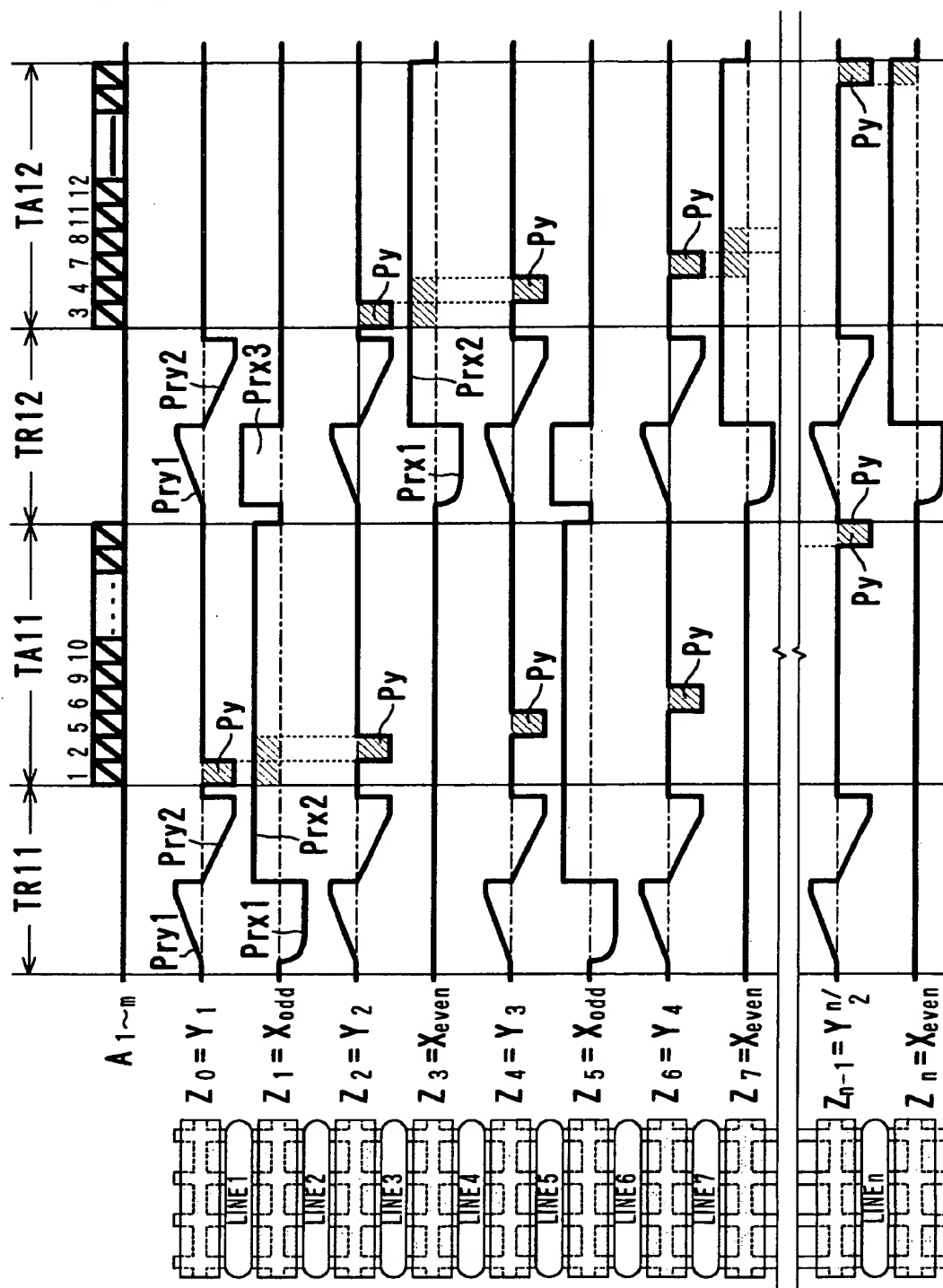
【図 1 1】

第 3 実施形態の駆動方法における期間設定の概要を示す図



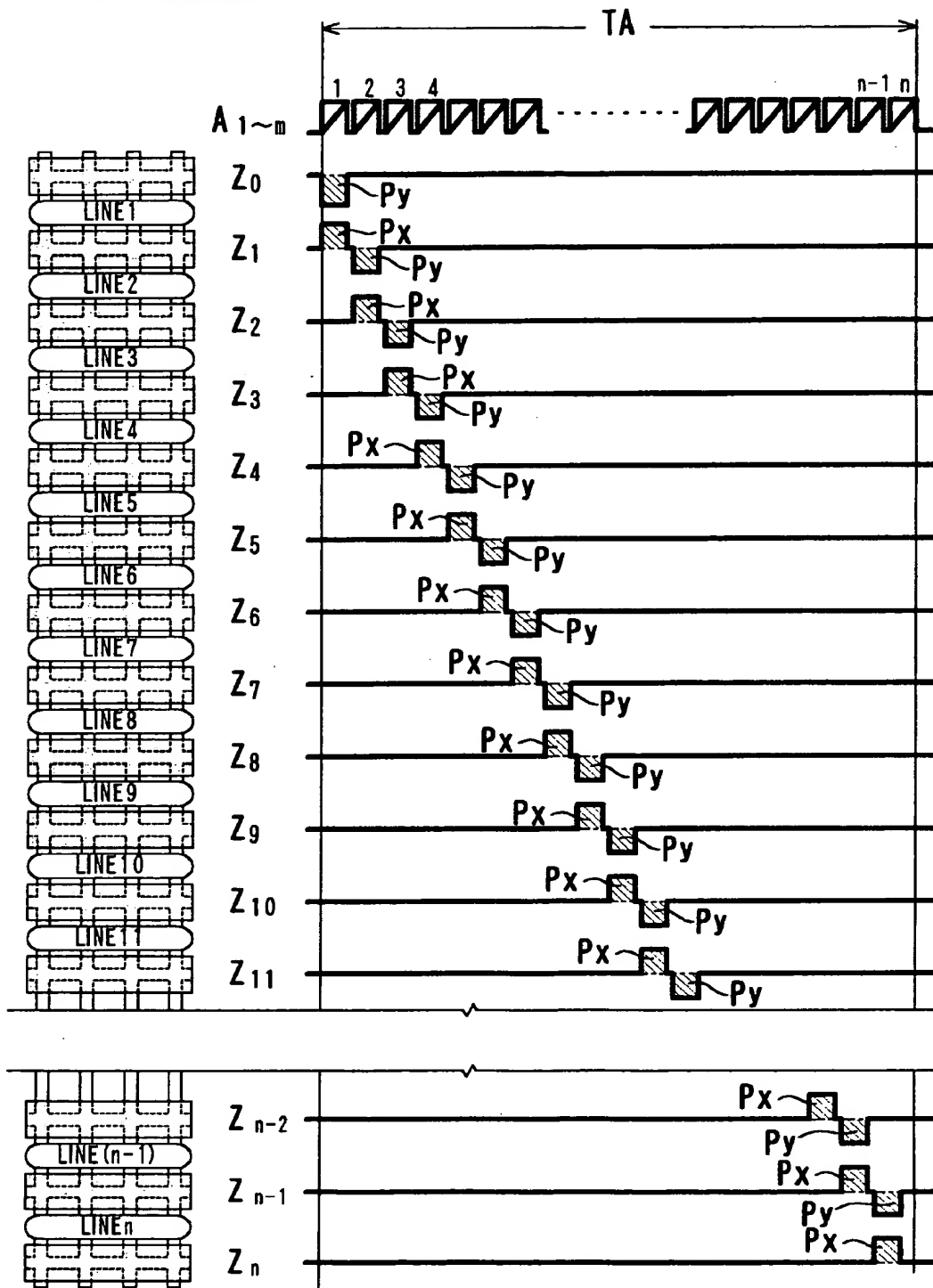
【图 1 2】

### 第3実施形態のアドレッシングにおける電圧制御のシーケンス図



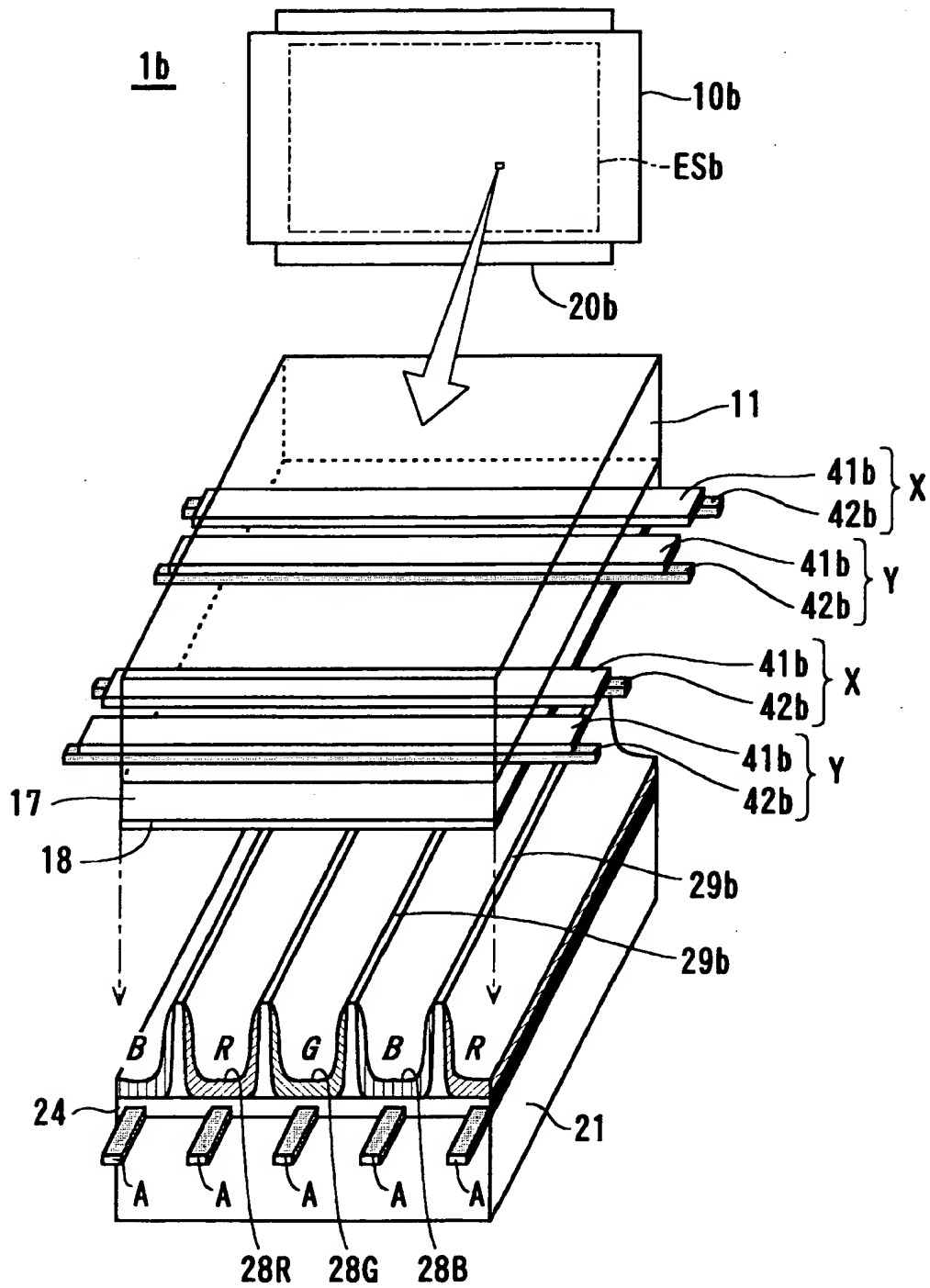
【図 13】

第4実施形態のアдресシングにおける電圧制御のシーケンス図



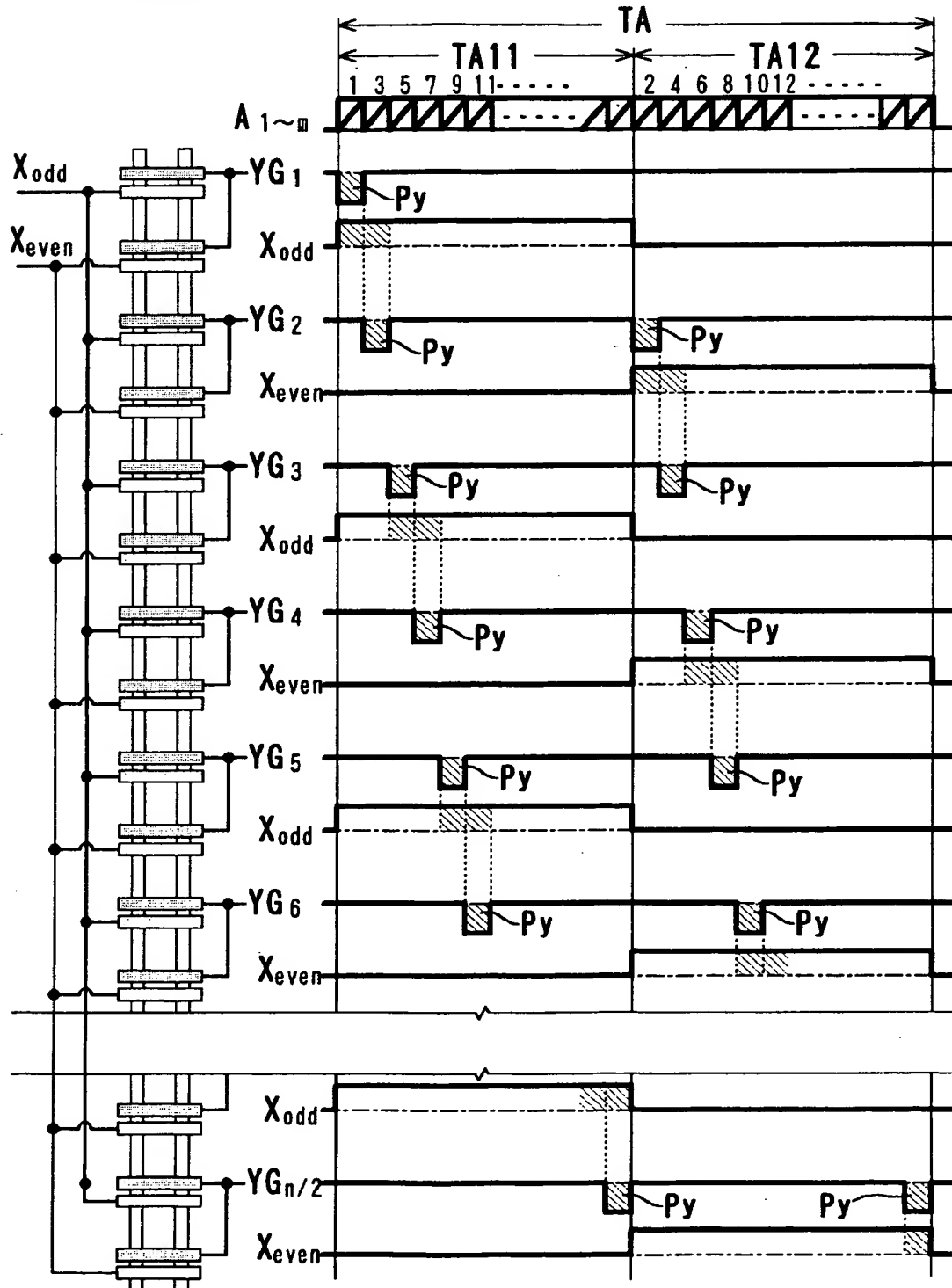
【図 14】

第5実施形態に係るPDPのセル構造を示す図



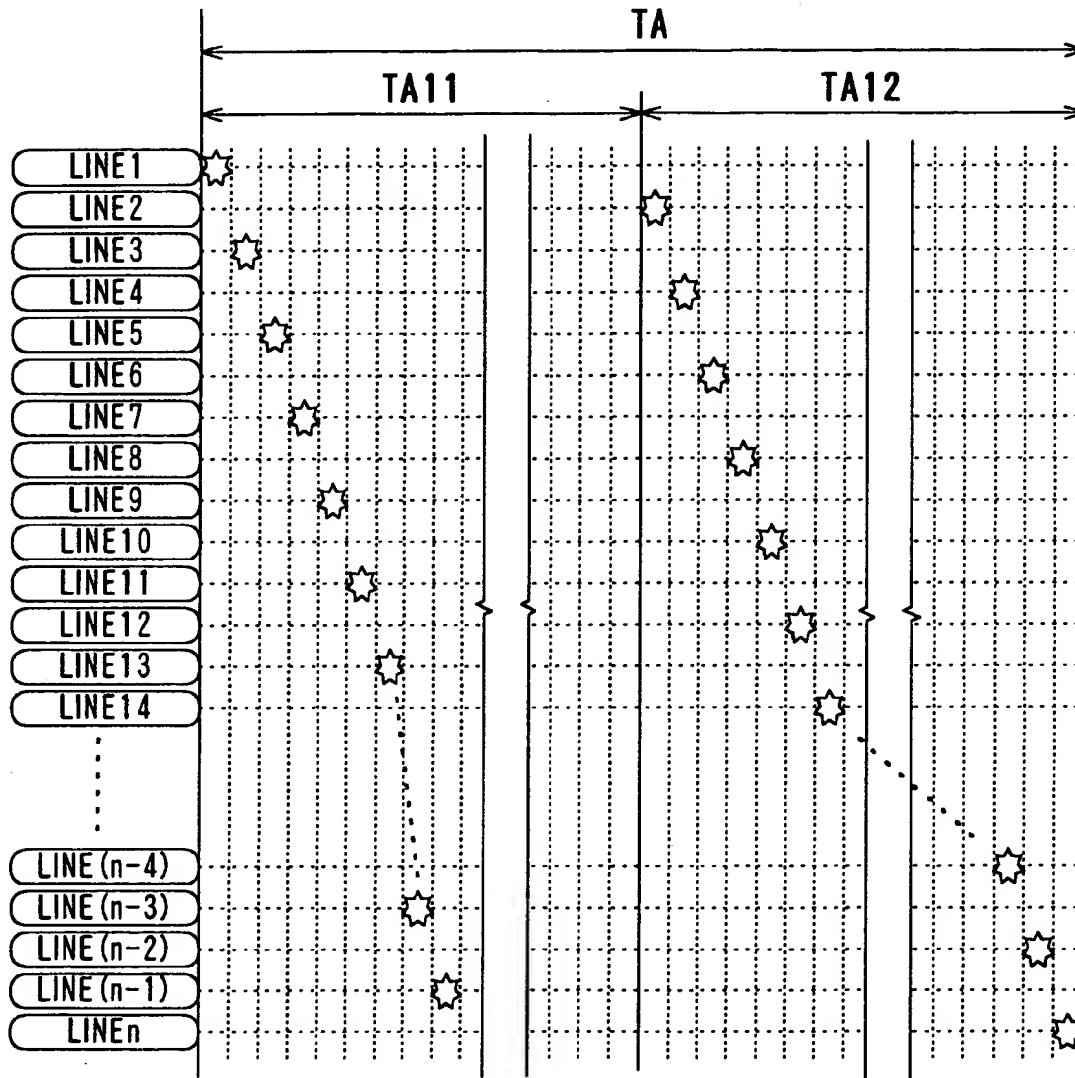
【図 1 5】

第 5 実施形態のアドレッシングにおける電圧制御のシーケンス図



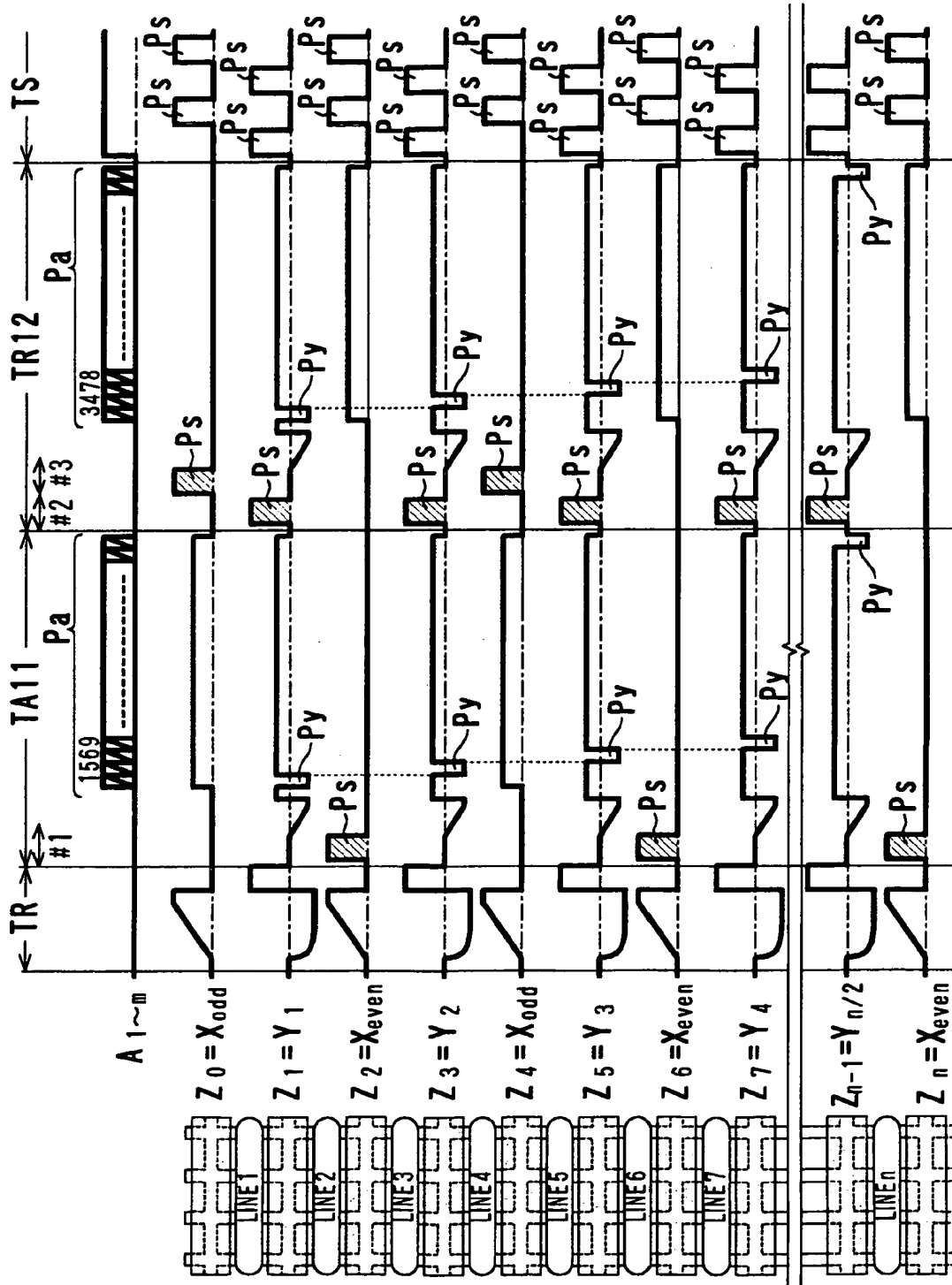
【図 1 6】

第 5 実施形態における表示ラインのアドレス順位を示す図



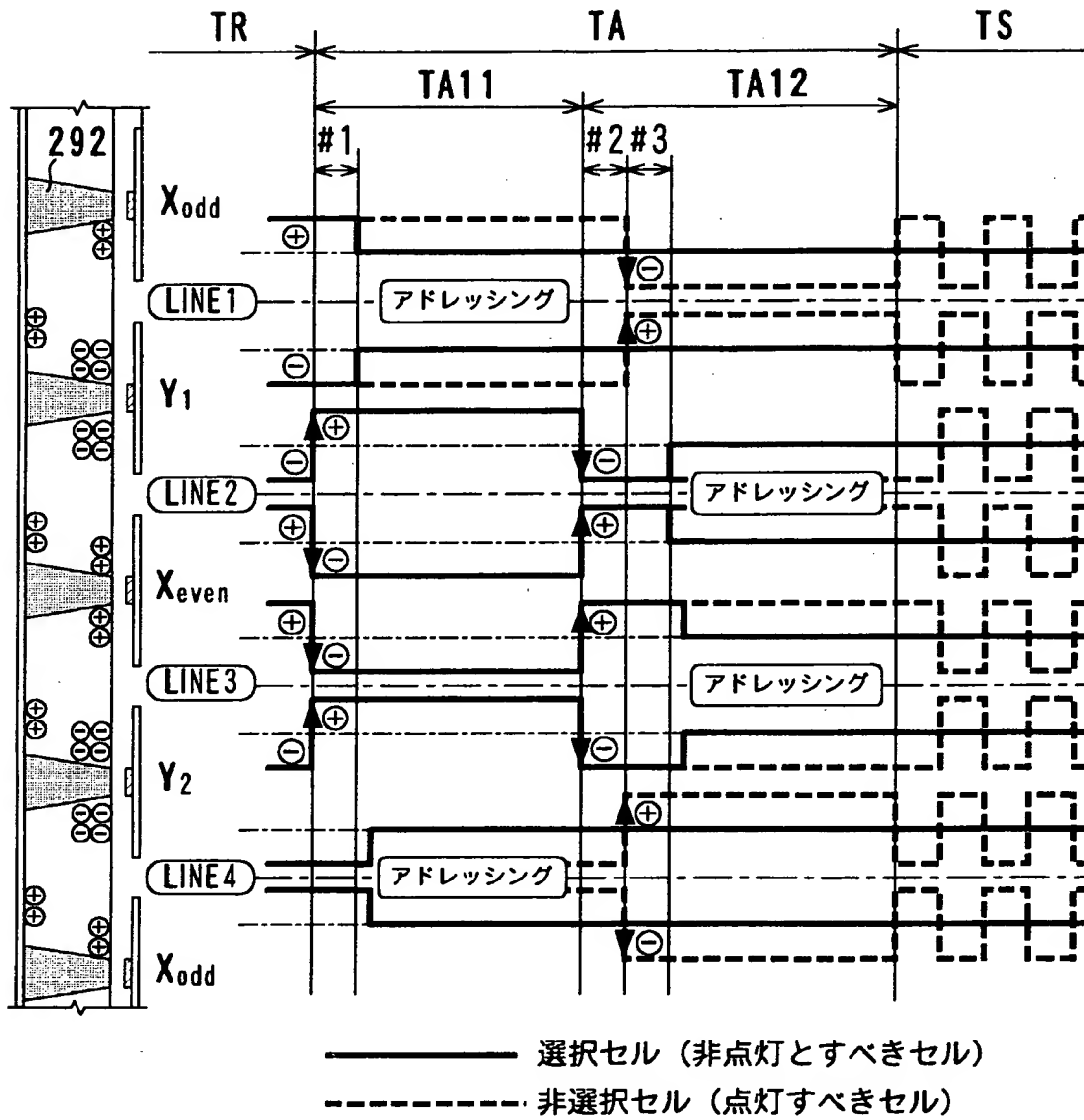
【図 17】

第6実施形態のアドレッシングにおける電圧制御のシーケンス図



【図 18】

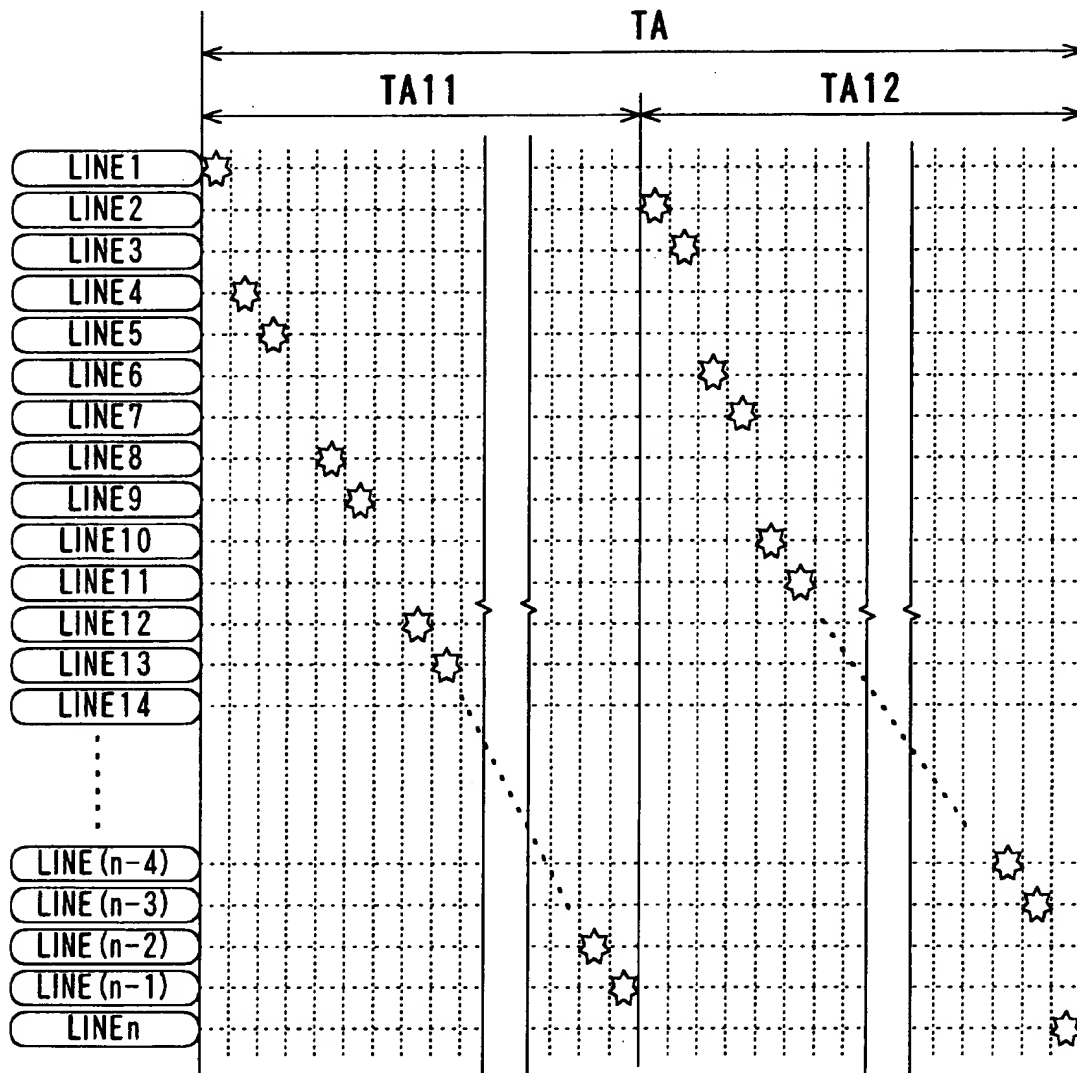
第6実施形態における壁電荷の極性変化を示す図





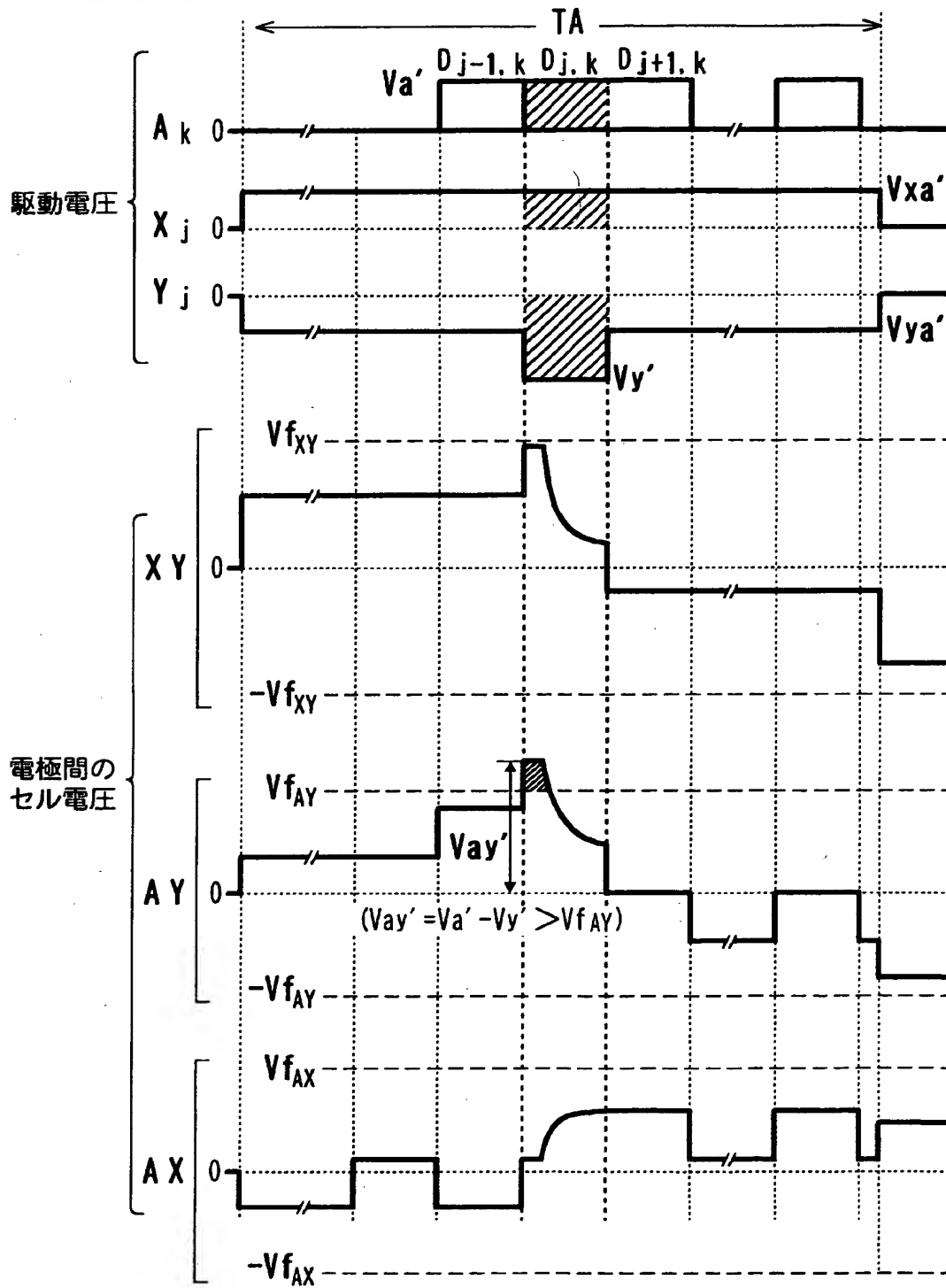
【図 19】

第6実施形態における表示ラインのアドレス順位を示す図



【図 20】

従来の駆動方法におけるアドレス期間のセル電圧の変化を示す波形図



【書類名】 要約書

【要約】

【課題】 隣り合う 2 行が表示電極を共用する電極構成においてプログレッシブ表示を実現することを目的とする。

【解決手段】 隣り合う 2 行の表示に 1 つの電極を共用するように表示電極が配列され、各列で表示電極とアドレス電極とが交差する PDP において、選択行に対応した電極対の一方の表示電極  $Y_j$  を一時的に選択電位  $V_y$  にバイアスする行選択と並行して、アドレス電極  $A_k$  の電位を表示データに応じて制御するアドレッシングを行い、その際に表示電極  $Y_j$  とアドレス電極  $A_k$  との電極間  $A Y$  に印加するセル選択電圧  $V_{a y}$  を電極間  $A Y$  の放電開始電圧  $V_{AY}$  よりも低くし、選択行に対応した電極対の表示電極どうしの電極間  $X Y$  に放電開始電圧  $V_{XY}$  よりも低い行選択電圧  $V_{x y}$  を印加することによってアドレス放電を生じさせる。

【選択図】 図 7

出 願 人 履 歴 情 報

識別番号 [599132708]

1. 変更年月日	1999年 9月17日
[変更理由]	新規登録
住 所	神奈川県川崎市高津区坂戸3丁目2番1号
氏 名	富士通日立プラズマディスプレイ株式会社